






Three-dimensional device

Patent number: CN1256792
Publication date: 2000-06-14
Inventor: TATSUYA SHIMODA (JP); SATOSHI INOUE (JP)
Applicant: SEIKO EPSON CORP (JP)
Classification:
 - international: *H01L27/00; G11B5/84; G11C11/401; H01L21/336; H01L21/68; H01L21/77; H01L21/822; H01L21/8242; H01L21/8244; H01L21/8246; H01L21/84; H01L21/98; H01L23/48; H01L25/065; H01L27/06; H01L27/10; H01L27/105; H01L27/108; H01L27/11; H01L27/12; H01L29/786; H01L39/02; H01L39/24; H01L43/12; H01L31/101; H01L27/00; G11B5/84; G11C11/401; H01L21/02; H01L21/67; H01L21/70; H01L23/48; H01L25/065; H01L27/06; H01L27/10; H01L27/105; H01L27/108; H01L27/11; H01L27/12; H01L29/66; H01L39/02; H01L39/24; H01L43/00; H01L31/101; (IPC1-7): H01L27/00*
 - european: H01L21/77T; H01L21/68T; H01L21/822B; H01L21/98; H01L23/48; H01L25/065S; H01L27/06E2; H01L27/11F2; H01L27/12
Application number: CN19998000210 19990224
Priority number(s): JP19980049883 19980302

Also published as:

 EP1017100 (A1)
 WO9945593 (A1)
 US6846703 (B2)
 US2003057423 (A1)
 JP11251518 (A)

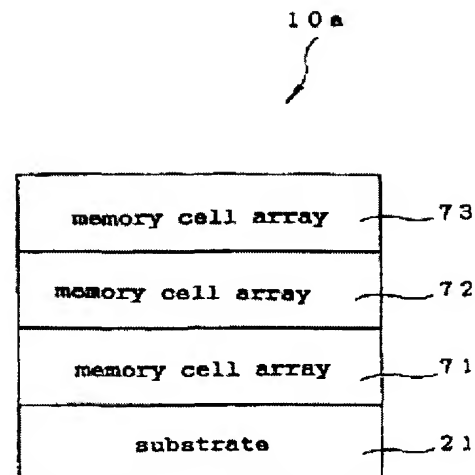
more >>

Report a data error he

Abstract not available for CN1256792
 Abstract of correspondent: **EP1017100**

A memory IC 10a includes a substrate (substrate on the transfer destination side) 21, and a memory cell array 71, a memory cell array 72, and a memory cell array 73 deposited on the substrate 21. The memory cell arrays 71, 72, and 73 are deposited, in that order, from the lower side in Fig. 21 by a method for transferring a thin film configuration. The method for the transfer includes the steps of forming a thin film device layer (memory cell array) on a support substrate with a separable layer therebetween, and irradiating the separable layer with light to cause a separation in the separable layer and /or at an interface so that the thin film device layer on the support substrate is transferred to the substrate 21.

Fig. 21



Data supplied from the esp@cenet database - Worldwide

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 27/00

[12] 发明专利申请公开说明书

[21] 申请号 99800210.0

[43] 公开日 2000 年 6 月 14 日

[11] 公开号 CN 1256792A

[22] 申请日 1999.2.24 [21] 申请号 99800210.0

[30] 优先权

[32] 1998.3.2 [33] JP [31] 49883/98

[86] 国际申请 PCT/JP99/00864 1999.2.24

[87] 国际公布 WO99/45593 日 1999.9.10

[85] 进入国家阶段日期 1999.11.2

[71] 申请人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 下田达也 井上聪

[74] 专利代理机构 中国专利代理(香港)有限公司

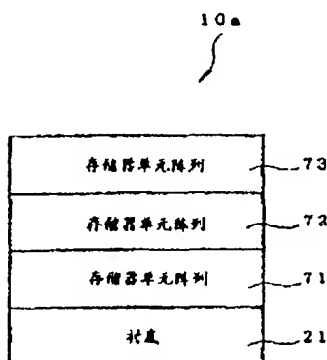
代理人 姜鄂厚 叶恺东

权利要求书 2 页 说明书 34 页 附图页数 23 页

[54] 发明名称 三维器件

[57] 摘要

存储器 IC10a 包括衬底(转移侧衬底)21,和在该衬底 21 上层积的存储器单元阵列 71、存储器单元阵列 72 及存储器单元阵列 73。将各存储器单元阵列 71、72 和 73 分别按照薄膜结构的转移方法从图 21 中的下侧按该顺序层积。所述转移法包括在原衬底上通过分离层形成薄膜器件层(存储器单元阵列)后,对所述分离层照射照射光,在所述分离层的层内和/或界面上产生剥离,将所述原衬底上的薄膜器件层转移到衬底 21 侧。



ISSN 1000-8427 4

权利要求书

1. 一种三维器件，在其厚度方向上多次层积在二维方向的预定区域内配置的薄膜器件层，

5 其特征 在于，所述各薄膜器件层内的至少一层按转移法层积。

2. 一种三维器件，在其厚度方向上多次层积在基体上沿二维方向延伸的预定区域内构成电路的薄膜器件层，从而构成三维方向的电路，

其特征 在于，所述各薄膜器件层内的至少一层按转移法层积。

10 3. 如权利要求 1 或 2 所述的三维器件，其特征 在于，所述转移法包括在原衬底上通过分离层形成薄膜器件层后，对所述分离层照射照射光，在所述分离层的层内和/或界面上产生剥离，将所述原衬底上的薄膜器件层转移到三维器件的衬底侧。

15 4. 如权利要求 3 所述的三维器件，其特征 在于，通过使构成分离层的物质的原子间或分子间结合力消失或减小来产生所述分离层的剥离。

5. 如权利要求 3 所述的三维器件，其特征 在于，通过从构成分离层的物质中产生气体来进行所述分离层的剥离。

20 6. 如权利要求 3 所述的三维器件，其特征 在于，所述照射光为激光。

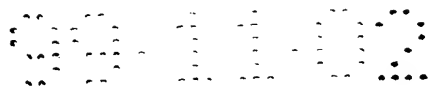
7. 如权利要求 3 所述的三维器件，其特征 在于，所述分离层由非晶硅、陶瓷、金属或有机高分子材料构成。

25 8. 如权利要求 1 或 2 所述的三维器件，其特征 在于，所述薄膜器件层有连接电极，利用该连接电极，在相邻的所述薄膜器件层之间进行电连接。

9. 如权利要求 8 所述的三维器件，其特征 在于，在所述薄膜器件层的两面有所述连接电极。

10. 如权利要求 8 所述的三维器件，其特征 在于，通过各向异性导电膜，接合相邻的所述薄膜器件层。

30 11. 如权利要求 1 或 2 所述的三维器件，其特征 在于，在所述各薄膜器件层内的相应两层中，一层有发光部分，而另一层有接收来自所述发光部分的接收部分，利用所述发光部分和接收部分，在所述



述两层之间可通过光进行通信。

12. 如权利要求 1 或 2 所述的三维器件，其特征在于，同时制造所述被转移被层积的薄膜器件层和其它薄膜器件层内的至少一层。

5 13. 如权利要求 1 或 2 所述的三维器件，其特征在于，所述各薄膜器件层内的至少一层有多个薄膜晶体管。

14. 如权利要求 1 或 2 所述的三维器件，其特征在于，所述各薄膜器件层内的至少一层构成存储器单元阵列。

15. 如权利要求 1 或 2 所述的三维器件，其特征在于，利用所述各薄膜器件层内的多层构成一个存储器。

10 16. 如权利要求 1 或 2 所述的三维器件，其特征在于，所述各薄膜器件层内的至少一层构成存储器单元阵列，而其它薄膜器件层内的至少一层构成逻辑电路。

17. 如权利要求 16 所述的三维器件，其特征在于，其构成为由所述逻辑电路驱动所述存储器单元阵列。

15 18. 如权利要求 16 所述的三维器件，其特征在于，按不同的设计标准形成所述逻辑电路和所述存储器单元阵列。

19. 如权利要求 16 所述的三维器件，其特征在于，按不同的设计参数形成所述逻辑电路和所述存储器单元阵列。

20 20. 如权利要求 16 所述的三维器件，其特征在于，按不同的制造工序形成所述逻辑电路和所述存储器单元阵列。

说明书

三维器件

技术领域

5 本发明涉及三维器件。

背景技术

以往的三维 IC 等的三维器件可如下那样制造。首先，在 Si 衬底上，通过多个工序形成包括场效应晶体管（FET）等的第一层。接着，在该第一层上，形成同样的第二层。之后，同样地形成第三层和第三层以后的层。

但是，在以往的三维器件中，由于在同一衬底上依次重叠各层地形成，所以上层的形成必须不对下层造成不良影响，在制造时受到种种制约（例如，使下层不变质的温度上限等）。

此外，在层积不同层的三维器件的情况下，很难按适合各层的器件参数（例如，栅极线宽、栅极绝缘膜的膜厚、设计标准、制造时的温度等的制造条件）形成各层。

此外，在以往的三维器件中，由于在构成器件的衬底上形成各层，所以采用的衬底必须兼备作为器件衬底的适应性和作为形成各层时的衬底的适应性，因此，存在只能使用特定衬底的缺点。

20 由于这些理由，所以还未进入三维 IC 等三维器件的实用化。

本发明的目的在于提供使薄膜器件层的形成条件的自由度宽松，可以容易地制造的高性能的三维器件。

发明的公开

上述目的可由下述（1）～（20）的本发明来实现。

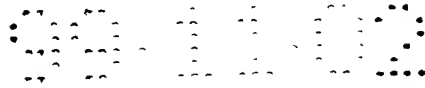
25 （1） 一种三维器件，在其厚度方向上多次层积在二维方向的预定区域内配置的薄膜器件层，

其特征在于，所述薄膜器件层内的至少一层按转移法层积。

（2） 一种三维器件，在其厚度方向上多次层积在基体上沿二维方向延伸的预定区域内构成电路的薄膜器件层，从而构成三维方向的电路，

其特征在于，所述薄膜器件层内的至少一层按转移法层积。

（3） 上述（1）或（2）所述的三维器件，所述转移法包括在原



衬底上通过分离层形成薄膜器件层后，向所述分离层照射照射光，在所述分离层的层内和/或界面上产生剥离，将所述原衬底上的薄膜器件层转移到三维器件的衬底侧。

5 (4) 上述(3)所述的三维器件，通过使构成分离层的物质的原子间或分子间结合力消失或减小来产生所述分离层的剥离。

(5) 上述(3)所述的三维器件，通过从构成分离层的物质中产生气体来进行所述分离层的剥离。

(6) 上述(3)至(5)中任何一项所述的三维器件，所述照射光为激光。

10 (7) 上述(3)至(6)中任何一项所述的三维器件，所述分离层由非晶硅、陶瓷、金属或有机高分子材料构成。

(8) 上述(1)至(7)中任何一项所述的三维器件，所述薄膜器件层有连接电极，利用该连接电极，在相邻的所述薄膜器件层之间进行电连接。

15 (9) 上述(8)所述的三维器件，在所述薄膜器件层的两面有所述连接电极。

(10) 上述(8)或(9)所述的三维器件，通过各向异性导电膜，使相邻的所述薄膜器件层连接。

20 (11) 上述(1)至(7)中任何一项所述的三维器件，在所述各薄膜器件层内的相应的两层中，一层有发光部分，而另一层有接收来自所述发光部分的光的接收光部分，利用这些发光部分和接收光部分，在所述两层之间可通过光进行通信。

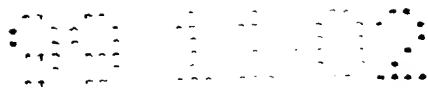
(12) 上述(1)至(11)中任何一项所述的三维器件，所述被转移被层积的薄膜器件层和其它薄膜器件层内的至少一层同时制造。

25 (13) 上述(1)至(12)中任何一项所述的三维器件，所述各薄膜器件层内的至少一层有多个薄膜晶体管。

(14) 上述(1)至(13)中任何一项所述的三维器件，所述各薄膜器件层内的至少一层构成存储器单元阵列。

30 (15) 上述(1)至(14)中任何一项所述的三维器件，利用所述各薄膜器件层内的多层构成一个存储器。

(16) 上述(1)至(13)中任何一项所述的三维器件，所述各薄膜器件层内的至少一层构成存储器单元阵列，而其它薄膜器件层内



的至少一层构成逻辑电路。

(17) 上述(16)所述的三维器件,其构成为由所述逻辑电路驱动所述存储器单元阵列。

5 (18) 上述(16)或(17)所述的三维器件,按不同的设计标准形成所述逻辑电路和所述存储器单元阵列。

(19) 上述(16)或(17)所述的三维器件,按不同的设计参数形成所述逻辑电路和所述存储器单元阵列。

(20) 上述(16)或(17)所述的三维器件,按不同的制造工序形成所述逻辑电路和所述存储器单元阵列。

10 附图的简要说明

图 1 是示意性表示本发明的薄膜结构的转移方法的实施例工序的剖面图。

图 2 是示意性表示本发明的薄膜结构的转移方法的实施例工序的剖面图。

15 图 3 是示意性表示本发明的薄膜结构的转移方法的实施例工序的剖面图。

图 4 是示意性表示本发明的薄膜结构的转移方法的实施例工序的剖面图。

20 图 5 是示意性表示本发明的薄膜结构的转移方法的实施例工序的剖面图。

图 6 示意性表示本发明的薄膜结构的转移方法的实施例工序的剖面图。

图 7 是示意性表示本发明的薄膜结构的转移方法的实施例工序的剖面图。

25 图 8 是示意性表示本发明的薄膜结构的转移方法的实施例工序的剖面图。

图 9 是示意性表示本发明的三维器件的第一实施例的剖面图。

图 10 是示意性表示图 9 所示的三维器件制造方法的工序剖面图。

图 11 是示意性表示图 9 所示的三维器件制造方法的工序剖面图。

30 图 12 是示意性表示图 9 所示的三维器件制造方法的工序剖面图。

图 13 是示意性表示图 9 所示的三维器件制造方法的工序剖面图。

图 14 是示意性表示图 9 所示的三维器件制造方法的工序剖面图。



图 15 是示意性表示图 9 所示的三维器件制造方法的工序剖面图。

图 16 是示意性表示本发明的三维器件的其它结构例的剖面图。

图 17 是示意性表示本发明的三维器件的第二实施例的剖面图。

图 18 是示意性表示本发明的三维器件的第三实施例的剖面图。

5 图 19 是表示本发明的有机 EL 元件结构例的剖面图。

图 20 是表示本发明的 PIN 光电二极管结构例的剖面图。

图 21 是示意性表示本发明的三维器件的第四实施例的图。

图 22 是表示本发明的 SRAM 存储器单元（一单元）结构例的电路

图。

10 图 23 是示意性表示本发明的三维器件的第五实施例的透视图。

图 24 是示意性表示本发明的三维器件的第六实施例的透视图。

图 25 是示意性表示本发明的三维器件的第七实施例的图。

图 26 是示意性表示本发明的三维器件的第八实施例的图。

图 27 是示意性表示本发明的三维器件的第九实施例的图。

15 符号的说明

1	衬底
11	分离层形成面
12	照射光入射面
2	分离层
20 2a、2b	界面
3	中间层
4、41~43	被转移层
411、412	连接电极
421、422	连接电极
25 413、423	发光部分
414、424	接收光部分
431~424	连接电极
5	键合层
6	转移体
30 7	照射光
10	三维器件
10a	存储器 IC

	10b	系统 IC
	10c	IC
	21	衬底
	22、23	导电性键合层
5	24	键合层
	25	透明的键合层
	30	有机 EL 元件
	31	透明电极
	32	发光层
10	33	金属电极
	34	隔壁
	50	PIN 光电二极管
	51	接收光部分窗电极
	52	p 型 a-SiC 层
15	53	i 型 a-SiC 层
	54	n 型 a-SiC 层
	55	Al-Si-Cu 层
	60	薄膜晶体管
	61	源层
20	62	漏层
	63	沟道层
	64	栅极绝缘膜
	65	栅电极
	66	层间绝缘膜
25	67、68	电极
	68	保护膜
	71~73	存储器单元阵列
	74	存储器
	741	输入输出控制电路
30	742	行解码器
	743	列解码器
	75	存储器

时, 根据其种类和形成方法, 处理温度往往升高 (例如, 350~1000℃左右), 但即使在该情况下, 如果衬底 1 具有良好的耐热性, 那么在衬底 1 上形成被转移层 4 等时, 其温度条件等成膜条件的设定范围就宽松。

5 因此, 在形成被转移层 4 时的最高温度为 T_{\max} 时, 衬底 1 可以由变形点在 T_{\max} 以上的材料构成。具体地说, 衬底 1 的构成材料的变形点可以在 350℃ 以上, 在 500℃ 以上更好。作为这种材料, 例如可列举出石英玻璃、钠钙玻璃、麻粒玻璃 (Corning) 7059、日本电气玻璃 OA-2 等耐热性玻璃。

10 再有, 如果可降低形成后述分离层 2、中间层 3 和被转移层 4 时的处理温度, 那么对于衬底 1 来说, 也可以采用熔点低价格便宜的玻璃材料和合成树脂。

此外, 对衬底 1 的厚度并无特别限定, 但通常可以在 0.1~5.0mm 左右, 在 0.5~1.5mm 左右更好。如果衬底 1 的厚度过薄, 那么会导致
15 强度下降, 如果过厚, 那么在衬底 1 的透过率低的情况下, 容易发生照射光 7 的衰减。再有, 在衬底 1 的照射光 7 的透过率高的情况下, 其厚度可以超过所述上限值。

再有, 为了能够均匀地照射照射光 7, 衬底 1 的分离层形成部分的厚度最好是均匀的。

20 此外, 衬底 1 的分离层形成面 11 和照射光入射面 12 并不限于图示的平面, 也可以是曲面。

在本发明中, 由于不是利用腐蚀等来除去衬底 1, 而是剥离处于衬底 1 与被转移层 4 之间的分离层 2 来分离衬底 1, 所以操作容易, 同时可使用厚度比较厚的衬底等, 并且与衬底 1 有关的选择范围也
25 宽。

下面, 说明分离层 2。

分离层 2 吸收后述的照射光 7, 在其层内和/或界面 2a 或 2b 上最好具有产生剥离 (以下, 称为 '层内剥离'、'界面剥离') 的性质, 通过照射光 7 的照射, 使构成分离层 2 的物质的原子间或分子间结合力
30 消失或减小, 换句话说, 通过产生烧蚀 (ablation), 达到层内剥离和/或界面剥离。

而且, 通过照射光 7 的照射, 也有从分离层 2 中放出气体, 产生

分离效果的情况。就是说，有使在分离层 2 中含有的成分变为气体放出的情况，和分离层 2 吸收光后立即变为气体，放出其蒸汽，产生分离的情况。

作为这种分离层 2 的组成，例如可列举以下物质。

5 ① 非晶硅 (a-Si)

在该非晶硅中，可以含有 H (氢)。在这种情况下，H 的含量可以在 2at% 以上左右，在 2~20at% 左右更好。这样，如果含有预定量的 H，那么通过照射光 7 的照射，氢被放出，在分离层 2 中产生内压，该内压变成剥离上下薄膜的力。

10 通过适当设定成膜条件，例如在 CVD 中的气体组成、气体压力、气体气氛、气体流量、温度、衬底温度、投入功率等条件，可以调整非晶硅中 H 的含量。

② 氧化硅或硅酸盐、氧化钛或钛酸盐、氧化锆或锆酸盐、氧化镧或镧酸盐等的各种氧化物陶瓷、电介质 (强电介质) 或半导体

15 作为氧化硅，可列举出 SiO 、 SiO_2 、 Si_3O_2 ，而作为硅酸盐，例如可列举出 K_2SiO_3 、 Li_2SiO_3 、 CaSiO_3 、 ZrSiO_4 、 Na_2SiO_3 。

作为氧化钛，可列举出 TiO 、 Ti_2O_3 、 TiO_2 ，而作为钛酸盐，例如可列举出 BaTiO_4 、 BaTiO_3 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{BaTi}_5\text{O}_{11}$ 、 CaTiO_3 、 SrTiO_3 、 PbTiO_3 、 MgTiO_3 、 ZrTiO_2 、 SnTiO_4 、 Al_2TiO_5 、 FeTiO_3 。

20 作为氧化锆，可列举出 ZrO_2 ，而作为锆酸盐，例如可列举出 BaZrO_3 、 ZrSiO_4 、 PbZrO_3 、 MgZrO_3 、 K_2ZrO_3 。

③ PZT、PLZT、PLLZT、PBZT 等陶瓷或电介质 (强电介质)

④ 氮化硅、氮化铝、氮化钛等氮化物陶瓷

⑤ 有机高分子材料

25 作为有机高分子材料，可以是具有 $-\text{CH}_2-$ 、 $-\text{CO}-$ (酮)、 $-\text{CONH}-$ (氨基)、 $-\text{NH}-$ (亚胺)、 $-\text{COO}-$ (酯)、 $-\text{N}=\text{N}-$ (偶氮基)、 $-\text{CH}=\text{N}-$ (席夫 (Schiff)) 等键 (用照射光 7 进行照射可切断这些键) 的物质，实际上，只要是有很多这种键的物质就可以。此外，有机高分子材料可以在结构式中具有芳香族炭化氢 (一个或两个以上的苯环或其缩聚环) 的物质。

30

作为这类有机高分子材料的具体实例，可列举出聚乙烯、聚丙烯那样的聚烯、聚亚胺、聚酰胺、聚酯、聚甲基丙烯酸甲酯 (PMMA)、对

聚苯硫 (PPS)、聚醚 (PES)、环氧树脂等。

⑥ 金属

作为金属,例如可列举出 Al、Li、Ti、Mn、In、Sn、Sm 或包含这些金属中的至少一种的合金。

- 5 此外,分离层 2 的厚度因剥离目的和分离层 2 的组成、层结构、形成方法等诸条件不同而有所不同,但通常可以在 $1\text{nm}\sim 20\mu\text{m}$ 左右,在 $10\text{nm}\sim 2\mu\text{m}$ 左右更好,在 $40\text{nm}\sim 1\mu\text{m}$ 左右最好。

- 10 如果分离层 2 的膜厚过小,那么成膜的均匀性受损失,产生不均匀的剥离,此外,如果膜厚过厚,那么为了确保分离层 2 的良好剥离性,就必须增大照射光 7 的功率(光量),同时在随后除去分离层 2 时在其操作上要花费时间。再有,分离层 2 的膜厚最好尽可能均匀。

- 15 对分离层 2 的形成方法并无特别限定,可以按照膜组成和膜厚等诸条件适当选择。例如,可列举出 CVD (包括 MOCVD、低压 CVD、ECR-CVD)、蒸汽淀积(vapor diposition)、分子束蒸汽淀积(MB) (molecular beam vapor diposition)、溅射、离子镀敷、PVD 等各种汽相成膜方法,电镀、浸渍电镀(浸渍)、无电解镀敷等各种镀敷方法,朗缪尔-布洛杰特(Langmuir-Blodgett)(LB)法、旋涂、喷涂、滚动涂敷等涂敷方法,各种印刷方法、转移方法、喷墨方法、粉末喷射方法等,也可以将这些方法中的两种以上方法组合。

- 20 例如,在分离层 2 的组成为非晶硅(a-Si)的情况下,可以利用 CVD、特别是可以利用低压 CVD 和等离子体 CVD 来进行成膜。

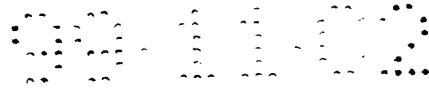
此外,在分离层 2 由溶液-凝胶法(sol-gel processing)制成的陶瓷构成的情况下和由有机高分子材料构成的情况下,可以利用涂敷法、特别是利用旋转涂敷来进行成膜。

- 25 此外,可以用两个工序以上的步骤(例如,层的形成工序和热处理工序)形成分离层 2。

这种分离层 2 可以由两层以上的层构成。在这种情况下,所述两层以上的层的组成或特性可以相同。此外,也可以不相同。

<2> 如图 2 所示,在分离层 2 上形成中间层(基底层)3。

- 30 按各种形成目的形成该中间层 3,该中间层至少发挥下述中的一种功能,例如,可列举出作为在制造或使用时对后述的被转移层 4 进行物理或化学保护的保护层、绝缘层、导电层、照射光 7 的遮光层。



阻止向被转移层 4 或从被转移层 4 的成分转移（迁移）的阻挡层，或反射层。

可以按其形成目的适当设定作为该中间层 3 的组成，例如，在由非晶硅构成分离层 2 和由薄膜晶体管（TFT）构成的被转移层 4 之间形成的中间层 3 的情况下，作为该中间层 3 的组成，可列举出 SiO_2 等氧化硅，在分离层 2 和由 PZT 构成的被转移层 4 之间形成的中间层 3 的情况下，例如，作为该中间层 3 的组成，可列举出 Pt、Au、W、Ta、Mo、Al、Cr、Ti 或以这些金属为主的合金。

这种中间层 3 的厚度可按其形成目的和发挥功能的程度来适当决定，但通常可以在 $10\text{nm}\sim 5\mu\text{m}$ 左右，在 $40\text{nm}\sim 1\mu\text{m}$ 左右更好。

此外，作为中间层 3 的形成方法，可列举出与在所述分离层 2 中列举的形成方法相同的方法。此外，可以按两个工序以上的工序进行中间层 3 的形成。

再有，这种中间层 3 可以用相同的或不同的组成物质两层以上地形成。此外，在本发明中，也可以不形成中间层 3，而在分离层 2 上直接形成被转移层 4。

<3> 如图 3 所示，在中间层 3 上形成被转移层（被剥离物）4。

被转移层 4 是向后述的转移体 6 转移的层，可以按与在所述分离层 2 中列举的形成方法相同的方法来形成。

对被转移层 4 的形成目的、种类、形态、结构、组成、物理或化学特性等并无特别限定，但考虑到转移的目的和有用性，最好是薄膜，特别是功能性薄膜或薄膜器件。

作为功能性薄膜和薄膜器件，例如，可列举出薄膜晶体管（TFT）、薄膜二极管、其它薄膜半导体器件，电极（例如：ITO、台面晶体管（mesa）膜那样的透明电极），在太阳电池和图象传感器等中使用的光电转换元件，开关元件，存储器，压电元件等的调节器，微型反射镜（压电薄膜陶瓷），磁记录介质、光磁记录介质、光记录介质等的记录介质，磁记录薄膜磁头、线圈、电感器、薄膜高透磁材料和组合这些部分所形成的微型磁器件，滤光镜、反射膜、分光镜、偏振光元件等的光学薄膜，半导体薄膜，超导薄膜（例如：YBCO 膜），磁性薄膜，金属多层薄膜，金属陶瓷多层薄膜，金属半导体多层薄膜，陶瓷半导体多层薄膜，有机薄膜和其它物质的多层薄膜等。

其中，有特别适用于薄膜器件、微型磁器件、微型三维构造物的结构、调节器、微型反射镜等方面的很好的有用性。

在其形成方法的关系上，一般要经过比较高的处理温度形成这种功能性薄膜或薄膜器件。因此，在这种情况下，如上所述，衬底 1 必须是能耐其处理温度的高可靠的衬底。

再有，被转移层 4 可以是单层层积体，也可以是多层层积体。而且，如所述薄膜晶体管等那样，也可以是被配以预定图形的被转移层。被转移层 4 的形成（层积）、构图可按其相应的预定方法进行。通常，经过多个工序形成这种被转移层 4。

例如，可以根据记载于特公平 2-50630 号公报和文献 H. Ohshima et al: International Symposium Digest of Technical Papers SID 1983 "B/W and Color LC Video Display Addressed by Poly Si TFTs" 中的方法进行由薄膜晶体管构成的被转移层 4 的形成。

此外，对被转移层 4 的厚度并无特别限定，可根据其形成目的、功能、组成、特性等诸条件适当设定。在被转移层 4 为薄膜晶体管的情况下，其合计厚度可以在 $0.5 \sim 200 \mu\text{m}$ 左右，在 $1.0 \sim 10 \mu\text{m}$ 左右更好。此外，在其它薄膜的情况下，适当的合计厚度可以在更宽的范围内，例如在 $50\text{nm} \sim 1000 \mu\text{m}$ 左右。

再有，被转移层 4 并不限于上述薄膜，例如，也可以是涂敷膜和板那样的厚膜。

<1> 如图 4 所示，在被转移层（被剥离物）4 上形成键合层 5，通过该键合层 5 键合（接合）转移体 6。

作为构成键合层 5 的粘结剂的优选例，可列举出反应固化型粘结剂、热固化型粘结剂、紫外线固化型粘结剂等光固化型粘结剂，厌气固化型粘结剂等各种固化型粘结剂。作为粘结剂的组成，例如可以是环氧树脂系列、丙烯酸酯系列、硅酮系列等物质。例如，按涂敷法进行这种键合层 5 的形成。

在采用所述固化型粘结剂的情况下，例如，在被转移层 4 上涂敷固化型粘结剂，随后在接合后述的转移体 6 之后，按照对应于固化型粘结剂的特性的固化方法使所述固化型粘结剂固化，键合固定被转移层 4 与转移体 6。

在使用光固化型粘结剂的情况下，可以在将透光性的转移体 6 放

置在未固化的键合层 5 上之后，从转移体 6 上照射固化所用的光，使粘结剂固化。此外，如果衬底 1 是具有透光性的衬底，从衬底 1 和转移体 6 的两侧照射固化所用的光，使粘结剂固化，那么可确保固化。

再有，与图示情况不同，也可以在转移体 6 侧形成键合层 5，在其上键合被转移层 4。此外，在被转移层 4 和键合层 5 之间，也可以设置上述那样的中间层。此外，例如在转移体 6 本身具有键合功能的情况下，也可以省略键合层 5 的形成。

作为转移体 6，并无特别限定，但可列举出衬底（板材），特别是透明衬底。再有，这种衬底可以是平板，也可以是弯曲板。

此外，与所述衬底 1 相比，转移体 6 可以采用耐热性、耐腐蚀性等特性差的衬底。其理由在于，在本发明中，由于在衬底 1 侧形成被转移层 4，然后将该被转移层 4 转移在转移体 6 上，所以要求的转移体 6 的特性，特别是耐热性与形成被转移层 4 时的温度条件等无关。

因此，在形成被转移层 4 时的最高温度为 T_{max} 时，作为转移体 6 的构成材料，可以采用玻璃转变点 (T_g) 或软化点在 T_{max} 以下的材料。例如，转移体 6 可以由这样的材料构成，即由其玻璃转变点 (T_g) 或软化点在 800°C 以下、在 500°C 以下更好、在 320°C 以下最好的材料构成。

此外，作为转移体 6 的机械特性，可以具有某种程度的刚性（强度），也可以具有柔韧性、弹性。

作为这种转移体 6 的构成材料，可列举出各种合成树脂或各种玻璃材料，尤其是各种合成树脂和通常的（低熔点的）廉价玻璃材料较好。

作为合成树脂，可使用热可塑性树脂、热固化性树脂中的一种，例如，可列举出诸如聚乙烯，聚丙烯，乙烯-丙烯共聚物、乙烯-乙酸乙烯共聚物（EVA）等的聚烯烃，诸如环状聚烯烃，改性聚烯烃，聚氯乙烯，聚偏二氯乙烯，聚苯乙烯，酰胺，聚酰亚胺，聚酰胺-酰亚胺，聚碳酸酯，聚-（4-甲基胺-1），离聚物，丙烯酸树脂，聚甲基丙烯酸甲酯（PMMA），丙烯腈-丁二烯-苯乙烯共聚物（ABS 树脂），丙烯腈-苯乙烯共聚物（AS 树脂），丁二烯-苯乙烯共聚物，聚氧乙烯，聚乙烯醇（PVA），乙烯-乙烯基醇共聚物（EVOH），聚对苯二甲酸乙二醇酯（PET）、聚丁烯对苯二甲酸酯（PBT）和聚环己二烯对苯二甲酸酯（PCT）等的聚酯，

诸如聚醚，聚醚酮 (PEK)，聚醚醚酮 (PEEK)，聚醚酰亚胺，聚乙缩醛 (POM)，对聚苯氧，变性对聚苯氧，聚砜，对聚苯硫 (PPS)，聚醚硫 (PES)，多芳基化合物，芳香族聚酯 (液晶聚合物)，聚四氟乙烯，聚偏氟乙烯，其它氟基树脂，苯乙烯类、聚链烯类、聚氯乙烯类、聚氧基甲酸酯类、聚酯类、酰胺类、聚丁二烯类、反聚异戊二烯类、氟橡胶类和氯化聚乙烯类等的各类热塑高弹性体，环氧树脂，酚醛树脂，尿素树脂，密胺树脂，不饱和聚酯，硅氧烷树脂，聚氨基甲酸乙酯等，或主要由以上化合物构成的共聚物、掺和物和聚合物合金等，可以组合使用这些物质的一种或两种以上 (例如，两层以上的层积体)。

10 作为玻璃材料，例如可列举出硅酸玻璃 (石英玻璃)，硅酸碱玻璃，钠钙玻璃，铅 (碱) 玻璃，钡玻璃，硼硅酸盐玻璃等。其中，与硅酸玻璃相比，除硅酸玻璃以外的上述玻璃的熔点低，此外，成形、加工也比较容易，而且价格便宜，可优先选用。

15 作为转移体 6，在使用由合成树脂构成的转移体的情况下，可以一体地形成大型的转移体 6，同时可以容易地制造有弯曲面和凹凸等复杂形状的转移体，此外，具有材料成本和制造成本低廉等种种优点。因此，可以容易地制造大型且便宜的器件 (例如，液晶显示器)。

再有，转移体 6 可以象液晶单元那样构成为自身独立的器件，也可以象彩色滤色镜、电极层、电介质层、绝缘层、半导体元件那样构成器件的一部分。

而且，转移体 6 可以是金属、陶瓷、石材、木材、纸等物质，可以设置在构成某个物品的任意表面上 (时钟的表面上、空调机的表面上、印刷电路板上等)，还可以设置在墙壁、柱、梁、顶棚、玻璃窗等构造物的表面上。

25 <5> 如图 5 所示，从衬底 1 的里侧 (照射光入射面 12 侧) 照射照射光 7。在穿过衬底 1 后，该照射光 7 从界面 2a 侧照射分离层 2。由此，如图 6 或图 7 所示，由于在分离层 2 中产生层内剥离和/或界面剥离，接合力减小或消失，所以衬底 1 与转移体 6 分离，被转移层 4 从衬底 1 脱离，被转移在转移体 6 上。

30 再有，图 6 表示在分离层 2 中产生层内剥离的情况，而图 7 表示在分离层 2 中产生界面 2a 上的界面剥离情况。产生分离层 2 的层内剥离和/或界面剥离的原理可推断为在分离层 2 的构成材料中产生烧

蚀，此外，在分离层 2 内储存的气体释放，以及照射之后产生的溶融、蒸散等相变化所致。

其中，烧蚀指吸收照射光的固体材料（分离层 2 的构成材料）被光化学或热激励，其表面和内部的原子或分子的接合被切断释放，主要表现为分离层 2 的构成材料的全部或一部分产生溶融、蒸散（气化）等相变化现象。此外，通过所述相变化变为微小的发泡状态，使接合力下降。

分离层 2 产生层内剥离，或产生界面剥离，或产生两种剥离的情况受分离层 2 的组成和其它各种因素左右，作为其一个主要的因素，可列举出照射光 7 的种类、波长、强度、到达深度等条件。

作为照射光 7，只要是可以引起分离层 2 中层内剥离和/或界面剥离的照射光就可以，例如，可列举出 X 射线、紫外线、可见光、红外线（热射线）、激光、毫米波、微波、电子射线、放射线（ α 射线、 β 射线、 γ 射线）等，其中，从使分离层 2 的剥离（烧蚀）容易产生的观点说，激光较好。

作为产生该激光的激光装置，可列举出各种气体激光器、固体激光器（半导体激光器）等，但采用受激准分子激光器、Nd-YAG 激光器、Ar 激光器、CO₂ 激光器、CO 激光器、He-Ne 激光器等较好，其中，受激准分子激光器最好。

由于受激准分子激光在短波长区域输出高能量，所以可以在极短的时间内在分离层 2 上产生烧蚀，因此，在相邻或附近的中间层 3、被转移层 4、衬底 1 等上几乎不产生温度上升，即可以进行不产生劣化、损伤的分离层 2 的剥离。

此外，在分离层 2 对产生烧蚀时的照射光有波长依赖性的情况下，照射的激光波长可以在 100~350nm 左右。

此外，在分离层 2 中，使引起例如气体释放、汽化、升华等相变化而提供分离特性的情况下，照射的激光波长可以在 350~1200nm 左右。

此外，照射的激光能量密度，特别是在受激准分子激光情况下的能量密度可以在 10~5000MJ/cm² 左右，在 100~500MJ/cm² 左右更好。此外，照射时间可以在 1~1000nsec 左右，在 10~100nsec 左右更好。

如果能量密度低或照射时间短，那么不能产生充分的烧蚀等。此外，

如果能量密度高或照射时间长，那么穿过分离层 2 和中间层 3 的照射光会对被转移层 4 产生不良影响。

可以照射以激光为代表的这种照射光 7，以使其强度均匀。

照射光 7 的照射方向不限于相对于分离层 2 垂直的方向，也可以是相对于分离层 2 有预定倾斜角度的方向。

此外，在分离层 2 的面积比照射光一次照射面积大的情况下，相对于分离层 2 的整个区域，也可以分多次照射照射光。此外，也可以对同一个地方照射两次以上。

此外，可以将不同种类、不同波长（波长区域）的照射光（激光）在同一区域或不同区域上照射两次以上。

<6>如图 8 所示，例如通过清洗、腐蚀、灰化、研磨等方法或组合这些方法的方法来除去附着在中间层 3 上的分离层 2。

在图 6 所示的分离层 2 的层内剥离的情况下，也同样除去附着在衬底 1 上的分离层 2。

再有，在衬底 1 由石英玻璃那样的高价材料、稀有材料构成的情况下，衬底 1 最好被再利用（再循环）地供给。换句话说，本发明可用于再利用的衬底 1，其使用性高。

通过以上各工序，完成被转移层 4 向转移体 6 的转移。然后，还可以进行与被转移层 4 相邻的中间层 3 的除去和其它任意层的形成等。

在本发明中，由于不直接剥离作为被剥离物的被转移层 4 本身，而在接合于被转移层 4 上的分离层 2 中进行剥离，所以不管被剥离物（被转移层 4）的特性、条件等如何，都可以容易并确实进行均匀的剥离（转移），也没有随着剥离操作的进行被剥离物（被转移层 4）的损坏，可以维持被转移层 4 的高可靠性。

此外，在图示的实施例中，从衬底 1 侧照射照射光 7，但例如在被转移层 4 不会因照射光 7 的照射受到不良影响的情况下，照射光 7 的照射方向不限于上述情况，也可以从与衬底 1 相反的一侧照射照射光。

此外，也可以这样构成，即在相对分离层 2 的表面方向上局部地、即按预定的图形照射照射光，从而按所述图形转移被转移层 4（第一方法）。在这种情况下，在所述<5>的工序时，相对于衬底 1 的照射光

入射面 12, 实施与所述图形对应的掩模, 照射照射光 7, 或者可以采用精密控制照射光 7 的照射位置等的方法来进行。

此外, 不在衬底 1 的分离层形成面 11 的整个表面上形成分离层 2, 也可以按预定的图形形成分离层 2 (第二方法)。这种情况下, 利用掩模等将分离层 2 形成预定的图形, 或者在整个分离层形成面 11 上形成分离层 2 后, 可以采用利用腐蚀等构图或进行修整的方法。

按照以上第一方法和第二方法, 可以同时进行被转移层 4 转移的构图和修整。

此外, 利用与上述方法相同的方法, 也可以将转移反复进行两次以上。在这种情况下, 如果转移次数为偶数次, 那么可以使在最后的转移体上形成的被转移层的内外位置关系与在衬底 1 上最初形成的被转移层的状态相同。

此外, 大型的透明衬底 (例如, 有效区域为 $900\text{mm} \times 1600\text{mm}$) 作为转移体 6 时, 最好多次 (例如, 约 800 次) 按顺序地将形成在小型衬底 1 (例如, 有效区域为 $45\text{mm} \times 40\text{mm}$) 上的小单位的被转移层 4 (薄膜晶体管) 转移在相邻位置上, 在大型的透明衬底的整个有效区域上形成被转移层 4, 从而也能够制造最终与所述大型透明衬底尺寸相同的液晶显示器。

此外, 制备多个形成在衬底 1 上的被转移层 4, 将各被转移层 4 顺序转移 (重叠) 在转移体 6 上, 也可以形成被转移层 4 的层积体。在这种情况下, 被层积的被转移层 4 可以相同, 此外, 也可以不相同。

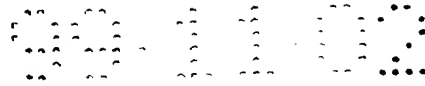
以上为本发明采用的薄膜结构的转移方法。

下面, 说明采用上述薄膜结构的转移方法 (转移技术) 的本发明的三维器件 (多层结构器件) 的第一实施例及其制造方法。

图 9 是示意性表示本发明的三维器件的第一实施例的剖面图, 图 10~图 15 是分别示意性表示图 9 所示的三维器件的制造方法工序的剖面图。再有, 将省略说明与上述薄膜结构的转移方法相同的点。

如图 9 所示, 三维器件 10 包括作为基体 (基底) 的衬底 (转移侧衬底) 21、第一被转移层 (第一薄膜器件层) 41 和第二被转移层 (第二薄膜器件层) 42。被转移层 41 和 42 分别在二维方向 (相对于衬底 21 的平行方向) 上扩展, 构成预定的电路。

在这种情况下, 在衬底 21 的图 9 中的上侧, 通过键合层 5 键合 (接



合) 被转移层 41.

而且, 在该被转移层 41 的图 9 中的上侧, 通过导电性键合层 22 键合(接合)被转移层 42.

被转移层 41 在其图 9 中的上侧分别有连接电极(连接用的端子)
5 411 和 412. 此外, 被转移层 41 在其图 9 中的下侧分别有连接电极 421 和 422. 该被转移层 41 的连接电极 411 与被转移层 42 的连接电极 421 通过导电性键合层 22 进行电连接, 此外, 被转移层 41 的连接电极 412 与被转移层 42 的连接电极 422 通过导电性键合层 22 进行电连接.

作为导电性键合层 22, 可以是各向异性导电膜(ACF: Anisotropic
10 Conductive Film). 通过用各向异性导电膜键合, 由于仅在厚度方向(图 9 中的上下方向)上确保导通, 所以可以防止图 9 中横方向的短路. 就是说, 可以防止连接电极 411 与连接电极 412、连接电极 411 与连接电极 422、连接电极 421 与连接电极 422、连接电极 421 与连接电极 412 的短路.

15 此外, 用各向异性导电膜键合, 易于分别使连接电极 411 与连接电极 421、连接电极 412 与连接电极 422 位置对准, 以便分别进行电连接, 同时键合(接合)被转移层 41 与被转移层 42.

再有, 该三维器件 10 的衬底(转移侧衬底) 21 与图 4~图 8 中的转移体 6 相当.

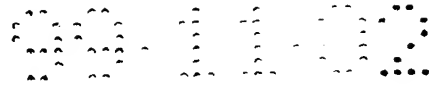
20 此外, 作为三维器件 10 的被转移层 41 和 42, 例如可列举出上述被转移层 4 例示的各种被转移层.

具体地说, 被转移层 41 和 42 可以成为 DRAM(动态 RAM)、SRAM(静态 RAM)、E²PROM、ROM 等存储器和存储器单元阵列、CPU 等逻辑电路、光传感器、磁传感器等传感器. 再有, 不言而喻, 被转移层 41
25 和 42 并不限于上述器件.

此外, 被转移层 41 和被转移层 42 可以相同, 也可以不相同.

作为被转移层 41 和被转移层 42 相同的情况, 例如, 可以使被转移层 41 和被转移层 42 双方都成为存储器和存储器单元阵列. 由此, 实现大容量的存储器(大规模存储器).

30 此外, 除上述情况外, 例如, 还可以使被转移层 41 和被转移层 42 双方都成为逻辑电路. 由此, 实现大规模的逻辑电路(大规模逻辑电路).



此外，作为被转移层 41 和被转移层 42 不同的情况，例如，可以使被转移层 41 和被转移层 42 中的一个作为存储器和存储器单元阵列，而另一个作为逻辑电路。就是说，使三维器件 10 成为混载（一体化）存储器和逻辑电路的系统 IC（例如，系统 LSI）。

5 在这种情况下，按照本发明，可以按不同的设计标准（最小线宽）形成被转移层 41 和被转移层 42。此外，可以按不同的设计参数形成被转移层 41 和被转移层 42。还可以按不同的制造工艺形成被转移层 41 和被转移层 42。以往，在被层积的层之间，不可能或很难改变这些条件。

10 所述系统 IC 中的存储器单元和存储器单元阵列的最小线宽例如达到 $0.35\mu\text{m}$ （ μm 标准）左右，而逻辑电路的最小线宽例如达到 $0.5\mu\text{m}$ （ μm 标准）左右（存储器和存储器单元阵列的最小线宽比逻辑电路的最小线宽小）。此外，与此相反，也可以使存储器和存储器单元阵列的最小线宽比逻辑电路的最小线宽大。

15 例如，所述三维器件 10 可按所述薄膜结构的转移方法如下制造。

<A1>如图 10 所示，在衬底（支撑衬底）1 的单面上形成分离层 2。此外，如图 11 所示，在衬底（支撑衬底）1 的单面上形成分离层 2。

<A2>如图 10 和图 11 所示，在各衬底 1 的分离层 2 上分别形成中间层（基底层）3。

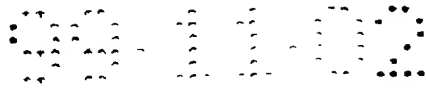
20 <A3>如图 10 所示，在中间层 3 上形成第一被转移层（第一薄膜器件层）41。此外，如图 11 所示，在中间层 3 上形成第二被转移层（第二薄膜器件层）42。

在图 10 中示出被转移层 41 的 K 部分（图 10 中用单点划线围成的部分）的放大剖面图。

25 如图 10 所示，例如，被转移层 41 有形成在中间层 3（例如， SiO_2 膜）上的薄膜晶体管（TFT）60。

该薄膜晶体管 60 由在多晶硅层中导入 n 型或 p 型杂质形成的源层（ n^+ 或 p^+ 层）61 和漏层（ n^+ 或 p^+ 层）62、沟道层 63、栅绝缘膜 64、栅电极 65、层间绝缘膜 66、例如用由铝构成的电极 67 和 68 以及保护膜 30 69 构成。

在该薄膜晶体管 60 的保护膜 69 的图 10 中的下侧，形成连接电极 411。该连接电极 411 经由形成在保护膜 69 中的接触孔与电极 68 电连



接。

此外，在图 11 中示出被转移层 42 的 K 部分（图 11 中用单点划线围成的部分）的放大剖面图。

如图 11 所示，被转移层 42 有例如形成在中间层 3（例如，SiO₂膜）上的薄膜晶体管（TFT）60。

该薄膜晶体管 60 由在多晶硅层中导入 n 型或 p 型杂质形成的源层（n⁺或 p⁺层）61 和漏层（n⁺或 p⁺层）62、沟道层 63、栅绝缘膜 64、栅电极 65、层间绝缘膜 66、例如用由铝构成的电极 67 和 68 以及保护膜 69 构成。

在该薄膜晶体管 60 的保护膜 69 的图 11 中上侧，形成连接电极 421。该连接电极 421 经由形成于保护膜 69 中的接触孔与电极 67 电连接。

再有，由于电极 412 附近的被转移层 41 和电极 422 附近的被转移层 42 的结构与上述结构大致相同，所以省略其说明。

在本发明中，也可以将被转移层 41 同时多个地形成在图中未示出的一枚衬底（例如，玻璃制成的衬底）上，并切开它们。同样，也可以将被转移层 42 同时多个地形成在图中未示出的一枚衬底（例如，玻璃制成的衬底）上，并切开它们。

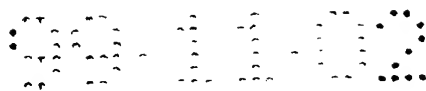
在这种情况下，例如，将形成被转移层 41、42 的衬底分别设置在探针装置中，使各被转移层 41、42 的连接电极和图中未示出的端子与触针接触，实施各被转移层 41、42 的电特性检查。而且，在被判定为不良的被转移层 41、42 上用墨辊或刻痕针等作标记。

然后，将各被转移层 41、42 切割成单个。此时，根据有无标记，将单个的被转移层 41、42 分选为不良品和良品。再有，也可以在切割后实施单个的被转移层 41、42 的电特性检查。

此外，在本发明中，可以同时制造被转移层 41 和被转移层 42，特别是也可以在同一衬底（原衬底）1 上同时制造。由此，可以使工序数减少。

<A4>如图 12 所示，形成在所述衬底 1 上的被转移层 41 和衬底（转移侧衬底）21 通过键合层 5 键合（接合）。

<A5>如图 12 所示，从衬底 1 的里侧（照射光入射面 12 侧）照射照射光 7。如上所述，该照射光 7 在穿过衬底 1 后照射在分离层 2 上，



由此, 在分离层 2 中产生层内剥离和/或界面剥离, 使接合力减小或消失。

而且，使衬底 1 与衬底 21 分离。由此，如图 13 所示，被转移层 41 与衬底 1 分离，被转移在衬底 21 上。

5 <A6>如图 13 所示, 利用例如清洗、腐蚀、灰化、研磨等方法或组合这些方法的方法来除去被转移层 41 上的中间层 3 和分离层 2。再有, 按照需要, 在露出连接电极 411、412 的情况下, 也可以残留所述中间层 3。

此外，在分离层 2 层内剥离的情况下，衬底 1 上附着的分离层 2 也同样被除去。

再有，在衬底 1 由石英玻璃那样的高价材料、稀有材料构成的情况下，最好再利用（再循环）地提供衬底 1。换句话说，对想再利用的衬底 1，适用于本发明其使用性高。

15 经过以上那样的各工序，完成对被转移层 41 的衬底 21 的转移，
然后，还可以进行其它任意层的形成等。

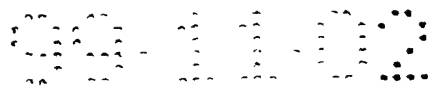
<A7>如图 14 所示, 这样来进行定位, 以使对应的连接电极之间彼此对置, 即连接电极 411 与连接电极 421 对置, 并且连接电极 412 与连接电极 422 对置, 通过导电性键合层 22 键合(接合)形成在所述衬底 1 上的被转移层 42 和转移在所述衬底 21 上的被转移层 41。

20 作为该导电性键合层 22, 如上所述, 可以是各向异性导电膜, 但本发明并不限于此。

在用各向异性导电膜键合时，在被转移层 41 和被转移层 42 之间填充（配置）预定的导电性粘结剂，在图 14 中纵方向上不断加压固化该导电性粘结剂。由此，被转移层 41 和被转移层 42 通过导电性键合层 22 键合，同时该导电性接合层 22 中的图中未示出的导电粒子在图 14 中纵方向上连接（接触），连接电极 411 与连接电极 421、连接电极 412 与连接电极 422 分别通过所述导电粒子电连接。

30 <A8>如图 14 所示, 从衬底 1 的里侧 (照射光入射面 12 侧) 照射照射光 7。如上所述, 该照射光 7 在穿过衬底 1 后照射在分离层 2 上, 由此, 在分离层 2 中产生层内剥离和/或界面剥离, 使接合力减小或消失。

不日，使衬底 1 与衬底 21 分离。由此，如图 15 所示，被转移层



42 与衬底 1 分离，被转移在被转移层 41 上。

再有，图 15 中示出被转移层 41、42 和导电性键合层 22 的 K 部分（图 15 中用一点点划线围成的部分）的放大剖面图。

5 <A9>如图 15 所示，利用例如清洗、腐蚀、灰化、研磨等方法或组合这些方法的方法来除去被转移层 42 上的中间层 3 和分离层 2。再有，按照需要，也可以残留所述中间层 3。

此外，在分离层 2 层内剥离的情况下，附着于衬底 1 上的分离层 2 也同样被除去。

10 再有，在衬底 1 由石英玻璃那样的高价材料、稀有材料构成的情况下，最好再利用（再循环）地提供衬底 1。换句话说，对于想再利用的衬底 1，可使用本发明，其使用性高。

经过以上那样的各工序，完成被转移层 42 向被转移层 41 上的转移，就是说，完成被转移层 42 和被转移层 41 的层积。然后，还可以进行其它任意层的形成等。

15 如以上的说明，由于本发明的三维器件 10 利用转移（转移法）层积形成薄膜器件层，所以可以容易地制造三维器件（例如，三维 IC）。

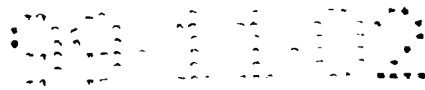
特别是由于分别单独地制作各薄膜器件层，所以不必顾虑以往那样的对下层（下侧的薄膜器件层）的不良影响，制造条件的自由度宽。

20 而且，在本发明的三维器件 10 中，由于层积多个薄膜器件层，所以可以提高集成度。就是说，按照比较宽松的设计标准，也可以在比较窄小的面积上形成 IC（例如，LSI）等。

25 例如，在三维器件 10 带有存储器的情况（例如，被转移层 41 和 42 两者为存储器的情况）下，可以实现存储器的大容量化。此外，在三维器件 10 带有逻辑电路的情况（例如，被转移层 41 和 42 两者为逻辑电路的情况）下，可以实现逻辑电路的大规模化。

30 此外，在本发明中，由于可以一次在不同的衬底上形成各薄膜器件层，所以可以按任意的器件参数（例如，栅极线宽度、栅绝缘膜的膜厚、设计标准、制造时的温度等制造条件）形成各薄膜器件层。因此，可以分别按最佳的器件参数形成各薄膜器件层，由此提供可靠性高性能良好的三维器件 10。

例如，在三维器件 10 混载（一体化）存储器和逻辑电路的系统 IC（例如，系统 LSI）的情况下，在制造该系统 IC 时，由于可以按照与



各个对应的处理形成存储器和逻辑电路，所以制造容易，生产率高，有利于提高产量。

此外，在各薄膜器件层的一端上，由于形成有连接电极（连接端子），所以相邻的薄膜器件层之间可以容易确实地电连接，由此，可以实现三维器件 10 的三维化（可以构成三维方向的电路）。

此外，由于可以仅选择层积每层中良品的薄膜器件层，所以与在同一衬底上依次形成各层（直接形成各层）来制造三维器件的情况相比，可以提高合格率。

此外，不选择衬底（转移侧衬底）21，可以进行向各种衬底 21 的转移。也就是说，即使对于用不能直接形成薄膜器件层或不适合形成薄膜器件层的材料、成形容易的材料、价格便宜的材料等来构成的薄膜器件层来说，可通过转移来形成。换言之，由于在衬底 21 上有自由度，例如可以在弹性衬底上形成 IC，因此可以容易地制造 IC 卡等。

此外，作为衬底（原衬底）1，由于采用价格比较低并且面积大的玻璃制成的衬底，所以可以降低成本。

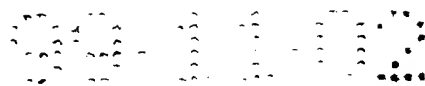
再有，在上述实施例中，被转移层（薄膜器件层）41 和 42 的转移次数分别为一次，但在本发明中，如果可以层积被转移层 41 和被转移层 42，那么被转移层 41 的转移次数可以在两次以上，此外，被转移层 42 的转移次数也可以在两次以上。

例如，在被转移层的转移次数在两次以上的情况下，将衬底 1 上的被转移层转移在衬底 1 和衬底 21 以外的图中未示出的第三衬底上，然后，将该第三衬底上的被转移层转移在衬底 21 上。再有，在所述第三衬底中，形成上述分离层 2 等。

如果被转移层的转移次数为偶数次，那么形成在作为最后转移体的衬底（转移侧衬底）21 中的被转移层的表面和内部位置关系可以与在最初衬底（原衬底）1 中形成被转移层的状态相同。

此外，在本发明中，在衬底（转移侧衬底）21 上直接形成被转移层 41，按照上述的转移方法，在该被转移层 41 上转移被转移层 42，也可以制造三维器件 10。

此外，在本发明中，也可以将被转移层（薄膜器件层）层积三层以上，通过增加被转移层（薄膜器件层）的层数，可以进一步提高集成度。



例如，在三维器件 10 的被转移层（薄膜器件层）的层数为三层，相邻的被转移层之间进行电连接的情况下，如图 16 所示，在处于第一被转移层（第一薄膜器件层）41 和第二被转移层（第二薄膜器件层）42 之间位置的第三被转移层（第三薄膜器件层）43 的两端上形成连接电极（连接端子）。就是说，在被转移层 43 的一端（图 16 中下侧）上，形成连接电极 431 和 432，而在另一端（图 16 中上侧）上形成连接电极 433 和 434。

而且，被转移层 41 的连接电极 411 与被转移层 43 的连接电极 431 通过导电性键合层 22 电连接，而被转移层 41 的连接电极 421 与被转移层 43 的连接电极 432 通过导电性键合层 22 电连接。同样，被转移层 43 的连接电极 433 与被转移层 42 的连接电极 421 通过导电性键合层 23 电连接，而被转移层 43 的连接电极 434 与被转移层 42 的连接电极 422 通过导电性键合层 23 电连接。

作为导电性键合层 23，按与导电性键合层 22 相同的理由，最好为各向异性导电膜。

此外，在本发明中，连接电极 431 与连接电极 433、连接电极 432 与连接电极 434 可以直接电连接。在这种情况下，连接电极 411 与连接电极 421 通过导电性键合层 22、连接电极 431、433 和导电性键合层 23 电连接，而连接电极 412 与连接电极 422 通过导电性键合层 22、连接电极 423、434 和导电性键合层 23 电连接。

被转移层 41、42 和 43 的层积分别如上述那样按薄膜结构的转移方法进行。

再有，在被转移层（薄膜器件层）层积三层以上的情况下，各层可以完全相同，此外，各层也可以完全不同，再有，也可以仅一部分层相同。

下面，说明本发明的三维器件的第二实施例。

图 17 是示意性表示本发明的三维器件的第二实施例的剖面图。再有，将省略说明与上述第一实施例相同的点，而主要说明不同点。

与上述第一实施例一样，也按薄膜结构的转移方法制造图 17 所示的三维器件 10。

但是，在该三维器件 10 中，在所述工序<A7>中，使第一被转移层（第一薄膜器件层）41 的连接电极 411 与第二被转移层（第二薄膜器

件层) 42 的连接电极 421 接触, 电连接这些电极, 使被转移层 41 的连接电极 412 与被转移层 42 的连接电极 422 接触, 电连接这些电极, 同时通过键合层 24 键合 (接合) 被转移层 41 和被转移层 42。

按该第二实施例, 也可以获得与上述第一实施例相同的效果。

5 再有, 在本发明中, 被转移层 41 与被转移层 42 的键合 (接合) 方法和对应的连接电极之间的电连接方法分别不限于上述第一实施例和第二实施例所述的方法。

例如, 也可以使连接电极 411 与连接电极 421、连接电极 412 与连接电极 422 分别接触, 加热这些连接电极, 利用接触面一次熔融、
10 固化, 使对应的连接电极之间固定。由此, 在对应的连接电极之间进行电连接的同时, 接合被转移层 41 和被转移层 42。

此外, 也可以在连接电极 411 与连接电极 421 之间、连接电极 412 与连接电极 422 之间, 分别配置钎焊材料 (导电性焊料), 加热这些钎焊材料, 进行一次熔融和固化。由此, 在对应的连接电极之间通过钎
15 焊材料进行电连接的同时, 利用钎焊材料键合 (接合) 被转移层 41 和被转移层 42。

下面, 说明本发明三维器件的第三实施例。

图 18 是示意性表示本发明的三维器件的第三实施例的剖面图。再有, 将省略说明与上述第一实施例的相同点, 而主要说明不同点。

20 与上述第一实施例一样, 也按薄膜结构的转移方法制造图 18 所示的三维器件 10。

在该三维器件 10 的第一被转移层 (第一薄膜器件层) 41 的一端 (图 18 中上侧) 上, 形成发光部分 (发光元件) 413 和接收光部分 (接收光元件) 414。

25 此外, 在第二被转移层 (第二薄膜器件层) 42 的一端 (图 18 中下侧) 上, 形成发光部分 (发光元件) 423 和接收光部分 (感光元件) 424。

在该三维器件 10 中, 在所述工序 <A₇> 中进行定位, 使对应的发光部分与接收光部分对置, 即把发光部分 413 和接收光部分 424 对置, 而且使发光部分 423 与接收光部分 414 对置, 通过实际上透明的 (相对于来自发光部分 413 和 423 的光, 具有光透过性) 键合层 25 键合 (接
30 合) 被转移层 41 和被转移层 42。

作为该三维器件 10 中的发光部分 413 和 423, 例如可以使用有机 EL 元件。

图 19 是表示有机 EL 元件结构例的剖面图。

如图所示, 有机 EL 元件 30 由隔壁 (堤坝) 34、形成在该隔壁 34 内侧的透明电极 31 和发光层 (有机 EL) 32 和金属电极 33 构成。

在这种情况下, 在透明电极 31 上形成发光层 32, 而在隔壁 34 和发光层 32 上形成金属电极 33。

透明电极 31 例如由 ITO 等构成。

此外, 用下列薄膜 (固体薄膜), 例如热处理主要形成发光层 32 的共轭系高分子有机化合物的前驱体和在预定的溶剂 (极性溶剂) 中溶解或分散用于改变发光层 32 的发光特性的荧光色素等有机 EL 元件用组成物 (发光层 32 的组成物), 并用使其有机 EL 元件用组成物中的所述前驱体高分子化的薄膜, 构成发光层 32。

此外, 金属电极 33 例如由 Al-Li 等构成。

此外, 隔壁 34 例如由树脂黑色抗蚀剂等构成。

在被转移层 41 和 42 中, 分别形成驱动该有机 EL 元件 30 的图中未示出的驱动部分 (驱动电路)。

在该有机 EL 元件 30 中, 如果从所述驱动电路施加预定的电压在透明电极 31 和金属电极 33 之间, 那么发光层 32 被注入电子和空穴, 因所施加电压产生的电场, 这些电子和空穴在发光层 32 中移动并再结合。利用在这种再结合时释放的能量, 生成激发子 (激励子), 该激发子在返回基态时释放出能量 (荧光和磷光)。就是说, 发光。把上述现象称为 EL 发光。

此外, 作为该三维器件 10 中的接收光部分 414 和 424, 例如可以采用 PIN 光电二极管。

图 20 是表示 PIN 光电二极管结构例的剖面图。

如图所示, PIN 光电二极管 50 由接收光部分窗电极 51、p 型 a-SiC 层 (p 型半导体层) 52、i 型 a-Si 层 (半导体层) 53、n 型 a-SiC 层 (n 型半导体层) 54、兼作接收光部分上部电极和布线 (电布线) 的 Al-Si-Cu 层 55 构成。

这些接收光部分窗电极 51、p 型 a-SiC 层 52、i 型 a-Si 层 53、n 型 a-SiC 层 54 和 Al-Si-Cu 层 55 以从图 20 中下侧开始的顺序进行层

积。再有，所述接收光部分窗电极 51 例如由 ITO 等构成。

如上所述，有机 EL 元件 30 由与该有机 EL 元件 30 电连接的图中未示出的驱动电路驱动发光。就是说，有机 EL 元件 30 输出（发送）光信号（光）。

5 来自该有机 EL 元件 30 的光穿过键合层 25 从接收光部分窗电极 51 入射。就是说，由 PIN 光电二极管 50 接收光。

而且，利用 PIN 光电二极管 50，输出与接收光量大小对应的电流，即电信号（信号）（将光信号转换成电信号）。

10 根据来自该 PIN 光电二极管 50 的信号，使与该 PIN 光电二极管 50 电连接的图中未示出的电路工作。

再有，如图 18 所示，来自发光部分 413 的光穿过键合层 25 被接收光部分 424 接收，此外，来自发光部分 423 的光穿过键合层 25 被接收光部分 414 接收。就是说，利用发光部分 413、423 和接收光部分 414、424，在被转移层 41 和被转移层 42 之间用光（光信号）进行通信。

按该第三实施例，也能获得与上述第一实施例相同的效果。

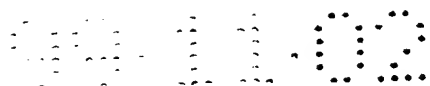
而且，在该第三实施例中，由于不用电（电信号）而是用光（光信号）进行层间信号的传送，所以制造容易，特别是可以进一步提高集成度。

20 再有，在本发明中，发光部分 413 和 423 不限于有机 EL 元件，例如，也可以由无机 EL 元件、发光二极管（LED）、半导体激光器（激光二极管）等构成。

25 此外，在本发明中，接收光部分 414 和 424 不限于 PIN 光电二极管，例如，也可以由 PN 光电二极管、雪崩光电二极管等各种光电二极管、光电晶体管、光致发光（有机光致发光、无机光致发光等）等构成。

30 此外，在本发明中，被转移层（薄膜器件层）41 与被转移层（薄膜器件层）42 键合（接合）的方法不限于上述方法。就是说，在被转移层 41 与被转移层 42 之间，也可以键合（接合）被转移层 41 与被转移层 42，以便可用光（光信号）进行通信。

例如，也可以将被转移层 41 和被转移层 42 局部地键合（接合）。在这种情况下，在发光部分 413、423 和接收光部分 414、424 以外的



部分进行键合（接合）时，也可以用不透明的键合层来键合（接合）被转移层 41 和被转移层 42。

此外，也可以在被转移层 41 和被转移层 42 之间设置间隔层（例如，柱），通过该间隔层键合（接合）被转移层 41 和被转移层 42。在
5 在这种情况下，在被转移层 41 的发光部分 413 和接收光部分 414 之间、被转移层 42 的接收光部分 424 和发光部分 423 之间形成空间。

此外，也可以分别使被转移层 41 的发光部分 413 和接收光部分 414、被转移层 42 的接收光部分 424 和发光部分 423 接触。

此外，在本发明中，在三维器件的被转移层（薄膜器件层）的层
10 数在三层以上的情况下，也可以构成为在不相邻的层之间用光（光信号）进行通信。

在本发明中，也可以由发光特性（例如，发射光的峰值波长）不同的多个发光元件构成发光部分，由接收来自对应的所述发光元件的
光的多个接收光元件构成接收光部分。

15 在这种情况下，可以同时通信多个信息（信号）。就是说，可以利用多信道的光通信进行信息传送。

此外，在本发明中，可以设置发光特性（例如，发射光的峰值波长）不同的多个发光部分，也可以设置接收来自对应的所述发光部分
的光的多个接收光部分。

20 此外，在本发明中，也可以构成为，至少在一个预定的被转移层（薄膜器件层）内，由所述被转移层（薄膜器件层）之间的光（光信号）进行通信。

再有，也可以分别在上述第一~第三实施例中，按照需要，将与外部（例如，外部装置和装载衬底等）电连接的端子（连接端子）设置
25 在任意的位置上。

例如，在衬底 21 上设置所述连接端子，在该连接端子与被转移层（薄膜器件层）41 电连接的情况下，在被转移层 41 的图 9、图 16、
图 17、图 18 中下侧的端部中，形成图中未示出的连接电极（连接端子）。而且，为了将该连接电极与所述连接端子电连接，键合（接合）
30 衬底 21 与被转移层 41。该衬底 21 与被转移层 41 的键合（接合）可以象例如所述被转移层 41 与被转移层 42 的键合（接合）那样进行。

下面，说明本发明三维器件的第四实施例

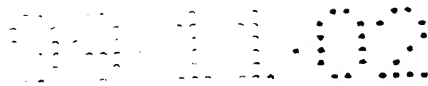


图 21 是示意性表示本发明的三维器件的第四实施例的图。再有，将省略说明与上述第一~第三实施例的相同点，而主要说明不同点。

图 21 所示的第四实施例的三维器件为存储器 IC (存储器装置)。存储器 IC10a 包括衬底 (转移侧衬底) 21, 和在该衬底 21 上层积的存储器单元阵列 71、存储器单元阵列 72 及存储器单元阵列 73。

各存储器单元阵列 71、72 和 73 分别按上述薄膜结构的转移方法以从图 21 中下侧开始的顺序进行层积。就是说，各存储器单元阵列 71、72 和 73 分别为被转移层 (薄膜器件层)。

在这种情况下，衬底 21 与存储器单元阵列 71、存储器单元阵列 71 与存储器单元阵列 72、存储器单元阵列 72 与存储器单元阵列 73 可以分别按上述第一~第三实施例中的任一个方法进行键合 (接合)。

就是说，与上述第一或第二实施例同样，预定层之间也可以电连接，此外，与上述第三实施例同样，也可以在预定层之间用光 (光信号) 来进行通信。

存储器单元阵列 71、72 和 73 分别是将后述的存储器单元排列成矩阵状的存储器单元阵列。而且，在本实施例中，存储器单元阵列 71、72 和 73 分别由 SRAM 构成。

图 22 是表示所述 SRAM 存储器单元 (一个单元) 结构例的电路图。

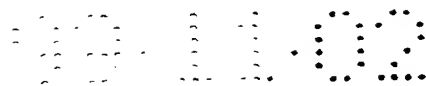
如图 22 所示，该 SRAM 的存储器单元 80 为 CMOS 型的 SRAM 存储器单元，由 nMOS 薄膜晶体管 (TFT) 81、nMOS 薄膜晶体管 (TFT) 82、pMOS 薄膜晶体管 (TFT) 83、nMOS 薄膜晶体管 (TFT) 84、pMOS 薄膜晶体管 (TFT) 85、nMOS 薄膜晶体管 (TFT) 86 和它们的连接线构成。

nMOS 薄膜晶体管 81 的栅极与字线 89 连接，而 nMOS 薄膜晶体管 81 的源或漏与第一位线 (数据线) 87 连接。

此外，nMOS 薄膜晶体管 82 的栅极与字线 89 连接，而 nMOS 薄膜晶体管 82 的源或漏与第二位线 (数据线) 88 连接。

在该存储器单元 80 中，由 pMOS 薄膜晶体管 83 和 nMOS 薄膜晶体管 84 构成第一反相电路 (NOT 电路)，由 pMOS 薄膜晶体管 85 和 nMOS 薄膜晶体管 86 构成第二反相电路 (NOT 电路)。因此，由这些第一反相电路和第二反相电路构成触发电路。

再有，在本发明中，存储器单元阵列 71、72 和 73 不限于 SRAM 的存储器单元阵列。除此之外，例如，也可以是 DRAM 等各种 RAM。



EPROM、E²PROM、闪烁存储器、掩模 ROM 等各种 ROM 等的各种存储器的存储器单元阵列。

按该存储器 IC10a (第四实施例), 也可以获得与上述第一~第三实施例相同的效果。

5 尤其是在该存储器 IC10a 中, 由于层积多个存储器单元阵列, 所以可获得大容量的存储器 IC (大规模存储器 IC)。换句话说, 在制造相同容量 (相同规模) 的存储器 IC 的情况下, 由于可以在窄小面积上形成该存储器 IC, 所以可以实现存储器 IC 的小型化。

再有, 在本发明中, 存储器单元阵列的层数, 即构成存储器单元阵列的被转移层 (薄膜器件层) 的层数不限于三层, 也可以是两层或四层以上。

下面, 说明本发明三维器件的第五实施例。

图 23 是示意性表示本发明的三维器件的第五实施例的透视图。再有, 将省略说明与图 21 所示的上述第四实施例相同的点, 而主要说明
15 不同点。

图 23 所示的第五实施例的三维器件为存储器 IC。存储器 IC10a 包括衬底 (转移侧衬底) 21, 和在该衬底 21 上层积的存储器 74、存储器单元阵列 72 及存储器单元阵列 73。

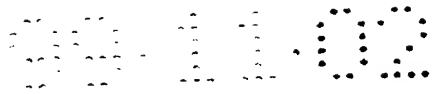
存储器 74、存储器单元阵列 72 和 73 分别按上述薄膜结构的转移
20 方法以从图 23 中下侧开始的顺序进行层积。就是说, 存储器 74、存储器单元阵列 72 和 73 分别是被转移层 (薄膜器件层)。

存储器 74 主要由存储器单元阵列 71、控制数据输入输出的输入输出控制电路 (I/O) 741、指定目标存储器单元的行地址 (行方向地址) 的行解码器 742 和指定目标存储器单元的列地址 (列方向地址) 的列解码器 743 构成。
25

在该存储器 IC10a 中, 用存储器单元阵列 71、72 和 73 构成一个存储器单元阵列。

因此, 这些存储器单元阵列 71、72 和 73 完全由输入输出控制电路 741、行解码器 742 和列解码器 743 来驱动。因此, 在该存储器 IC10a
30 中, 由存储器 74、存储器单元阵列 72 和 73 构成一个存储器。

即使该存储器 IC10a (第五实施例), 也可以获得与第四实施例相同的效果。



再有，在本发明中，存储器单元阵列的层数，即构成存储器单元阵列的被转移层（薄膜器件层）的层数不限于两层，也可以为一层或三层以上。换句话说，在本发明中，构成存储器单元阵列的被转移层（薄膜器件层）和构成存储器的被转移层（薄膜器件层）的合计层数
5 也可以在两层以上。

下面，说明本发明三维器件的第六实施例。

图 24 是示意性表示本发明的三维器件的第六实施例的透视图。再有，将省略说明与图 21 所示的第四实施例相同的点，而主要说明不同点。

10 图 24 所示的第六实施例的三维器件为存储器 IC。存储器 IC10a 包括衬底（转移侧衬底）21，和在该衬底 21 上层积的存储器 74、存储器 75 及存储器 76。

各存储器 74、75、76 分别按上述薄膜结构的转移方法以从图 24 中下侧开始的顺序进行层积。就是说，各存储器 74、75 和 76 分别为
15 被转移层（薄膜器件层）。

存储器 74 主要由存储器单元阵列 71、控制数据输入输出的输入输出控制电路（I/O）741、指定目标存储器单元的行地址（行方向地址）的行解码器 742 和指定目标存储器单元的列地址（列方向地址）的列解码器 743 构成。

20 该存储器单元阵列 71 由输入输出控制电路 741、行解码器 742 和列解码器 743 驱动。

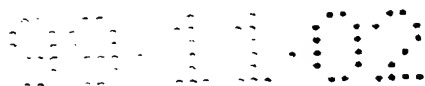
此外，存储器 75 与上述存储器 74 同样，主要由存储器单元阵列 72、输入输出控制电路（I/O）751、行解码器 752 和列解码器 753 构成。

25 该存储器单元阵列 72 由输入输出控制电路 751、行解码器 752 和列解码器 753 驱动。

此外，与上述存储器 74 同样，存储器 76 主要由存储器单元阵列 73、输入输出控制电路（I/O）761、行解码器 762 和列解码器 763 构成。

30 该存储器单元阵列 73 由输入输出控制电路 761、行解码器 762 和列解码器 763 驱动。

该存储器 IC10a（第六实施例）也可以获得与上述第四实施例



同样的效果。

再有，在本发明中，存储器的层数，即构成存储器的被转移层（薄膜器件层）的层数不限于三层，也可以是两层或四层以上。

下面，说明本发明三维器件的第七实施例。

5 图 25 是示意性表示本发明的三维器件的第七实施例的图。再有，将省略说明与图 21~图 23 所示的上述第四~第六实施例相同的点，而主要说明不同点。

图 25 所示的第七实施例的三维器件为系统 IC（系统 LSI）。系统 IC（系统 LSI）10b 包括衬底（转移侧衬底）21，和在该衬底 21 上层积的逻辑电路 77 及存储器 74。

逻辑电路 77 和存储器 74 分别按上述薄膜结构的转移方法以从图 25 中下侧开始的顺序进行层积。就是说，逻辑电路 77 和存储器 74 分别为被转移层（薄膜器件层）。

逻辑电路 77 例如由 CPU 等构成。

15 而且，存储器 74 由该逻辑电路 77 驱动控制。

按该系统 IC10b（第七实施例），也可以获得与上述第四~第六实施例相同的效果。

实际上，在该系统 IC10b 中，可以分别按照对应的（适合的）设计参数、设计标准（最小线宽）、制造工序形成逻辑电路 77 和存储器 74。就是说，可以按照不同的设计参数、不同的设计标准、不同的制造工序形成逻辑电路 77 和存储器 74。

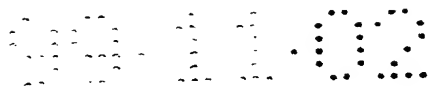
再有，在本发明中，逻辑电路的层数，即构成逻辑电路的被转移层（薄膜器件层）的层数不限于一层，也可以在两层以上。

25 此外，在本发明中，存储器的层数，即构成存储器的被转移层（薄膜器件层）的层数不限于一层，也可以在两层以上。

下面，说明本发明三维器件的第八实施例。

图 26 是示意性表示本发明的三维器件的第八实施例的图。再有，将省略说明与图 25 所示的上述第七实施例相同的点，而主要说明不同点。

30 图 26 所示的第八实施例的三维器件为系统 IC（系统 LSI）。系统 IC（系统 LSI）10b 包括衬底（转移侧衬底）21，和在该衬底 21 上层积的逻辑电路 77 及存储器单元阵列 71。



逻辑电路 77 和存储器单元阵列 71 分别按上述薄膜结构的转移方法以从图 26 中下侧开始的顺序进行层积。就是说，逻辑电路 77 和存储器单元阵列 71 分别为被转移层（薄膜器件层）。

存储器单元阵列 71 由逻辑电路 77 驱动控制。

5 就是说，相对于存储器单元阵列 71，逻辑电路 77 包括控制数据输入输出的图中未示出的输入输出控制电路（I/O），指定目标存储器单元的行地址（行方向地址）的图中未示出的行解码器，和指定目标存储器单元的列地址（列方向地址）的图中未示出的列解码器。

该逻辑电路 77 例如由 CPU 等构成。

10 按该系统 IC10b（第八实施例），也可以获得与上述第七实施例相同的效果。

再有，在本发明中，逻辑电路的层数，即构成逻辑电路的被转移层（薄膜器件层）的层数不限于一层，也可以在两层以上。

此外，在本发明中，存储器单元阵列的层数，即构成存储器单元阵列的被转移层（薄膜器件层）的层数不限于一层，也可以在两层以上。

下面，说明本发明三维器件的第九实施例。

图 27 是示意性表示本发明的三维器件的第九实施例的图。再有，将省略说明与图 21~图 23 所示的上述第四~第六实施例相同的点，而主要说明不同点。

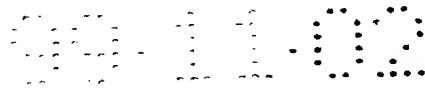
图 27 所示的第九实施例的三维器件为 IC（LSI）。IC（LSI）10c 包括衬底（转移侧衬底）21，在该衬底 21 上层积的逻辑电路 77 和逻辑电路 78。

25 分别按上述薄膜结构的转移方法以从图 27 中下侧开始的顺序层积逻辑电路 77 和 78。就是说，逻辑电路 77 和 78 分别为被转移层（薄膜器件层）。

各逻辑电路 77 和 78 例如分别由 CPU 等构成。

按该 IC10c（第九实施例），也可以获得与上述第四~第六实施例相同的效果。

30 特别是，在该 IC10c 中，由于层积多个逻辑电路，所以可获得大规模的逻辑电路，即获得大规模的 IC（LSI）。换句话说，在制造相同规模 IC 的情况下，由于可以在窄面积上形成该 IC，所以可以实现 IC



的小型化。

再有，在本发明中，逻辑电路的层数，即构成逻辑电路的被转移层（薄膜器件层）的层数并不限于两层，也可以为三层以上。

在上述第四~第九实施例中，按本发明还可以形成一个或两个以上的其它被转移层（薄膜器件层）。
5

在这种情况下，对所述其它被转移层（薄膜器件层）的位置并无特别限定。

此外，作为所述其它被转移层（薄膜器件层），例如，可列举出光传感器、磁传感器等各种传感器。

10 以上，根据图示的实施例说明了本发明的三维器件，但本发明并不限于此。

例如，在本发明中，在使三维器件的被转移层（薄膜器件层）的层数达到三层以上的情况下，可以构成为在预定的被转移层之间（被转移层间）象第一实施例或第二实施例那样进行电连接（以下称为‘电连接’），而在其它被转移层之间，可以象第三实施例那样利用光（光信号）进行通信（以下称为‘光连接’）。
15

此外，在本发明中，在预定的被转移层之间，也可以将其一部分进行电连接，而剩余部分进行光学连接。

此外，在本发明中，在各被转移层（薄膜器件层）内的一层或两层以上构成存储器或存储器单元阵列的情况下，也可以在层内形成多种类型的存储器或存储器单元阵列。
20

此外，在本发明中，在各被转移层（薄膜器件层）内的两层以上构成存储器或存储器单元阵列的情况下，也可以层积多种类型的存储器或存储器单元阵列。

25 此外，在本发明中，可以利用上述薄膜结构的转移方法（转移技术）转移构成三维器件的多个被转移层（薄膜器件层）中的至少一层。

再有，本发明的转移方法并不限于上述方法。

工业上的利用可能性

如以上说明，按照本发明的三维器件，由于用转移方法层积薄膜器件层，所以可以容易地制造三维器件（例如，三维IC）。
30

特别是，由于可以分别单独地形成各薄膜器件层，所以不必顾虑以往那样的对下层（下侧的薄膜器件层）的不良影响。制造条件的自

由度宽。

因而，在本发明中，由于层积多个薄膜器件层，所以可以提高集成度。

5 此外，在本发明中，由于可以将各薄膜器件层形成在不同的衬底上，所以可以分别按最佳的器件参数、最佳的设计标准和最佳的制造工序形成各薄膜器件层，因此可以提供可靠性高性能良好的器件。

此外，在本发明中，由于在每层中仅选择层积良品的薄膜器件层，所以与在同一衬底上顺序形成各层（直接形成各层）来制造三维器件的情况相比，合格率高。

99-11-02

说明书附图

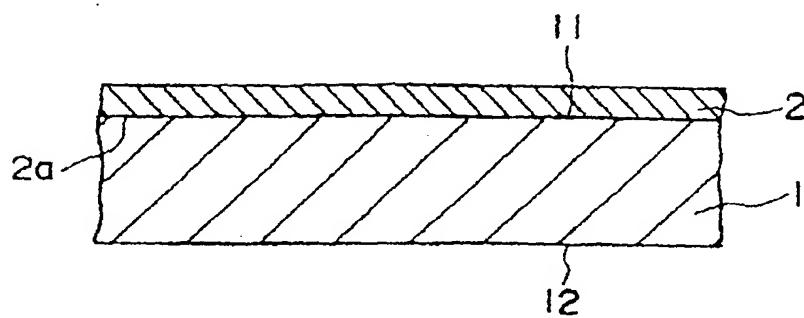


图 1

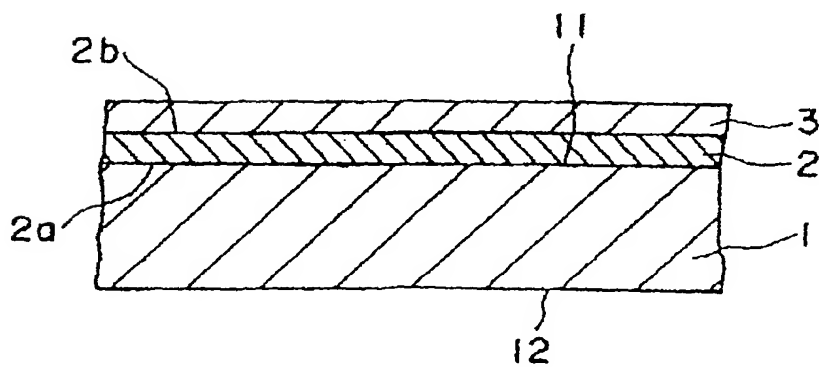


图 2

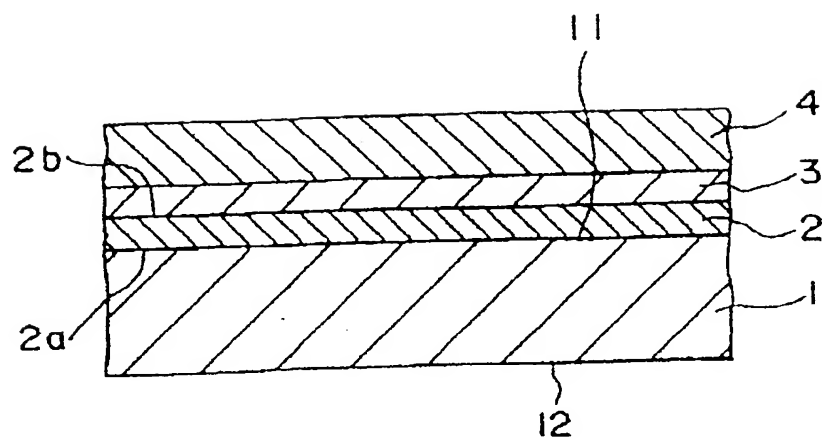


图 3

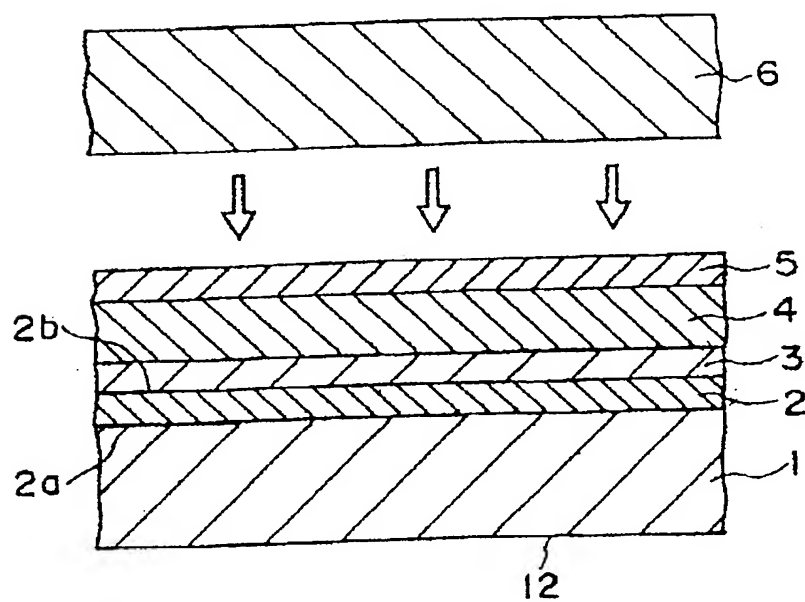


图 4

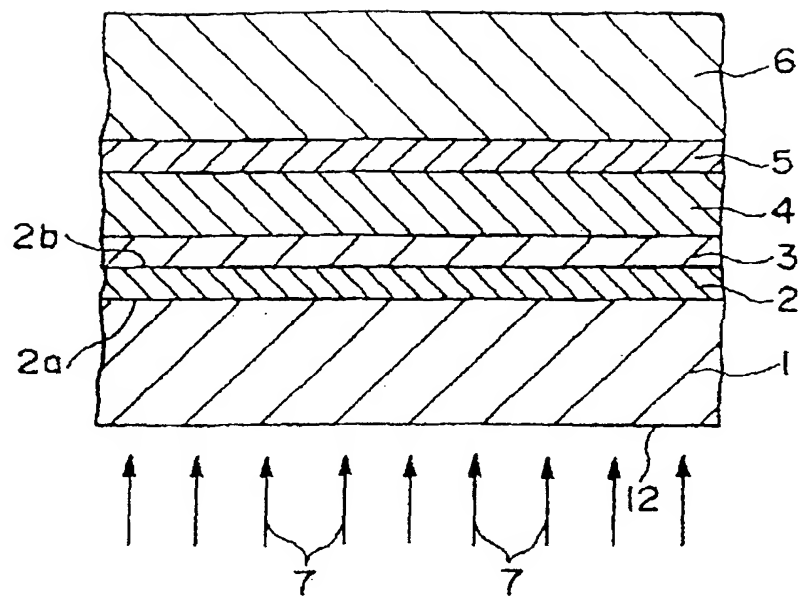


图 5

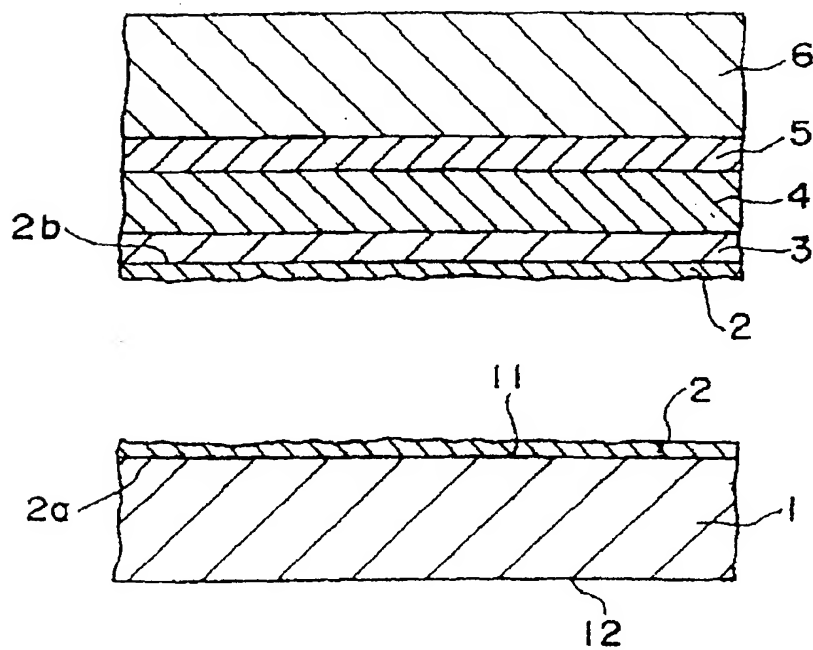


图 6

99-11-00

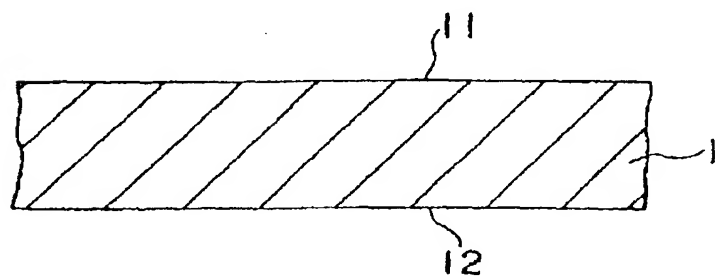
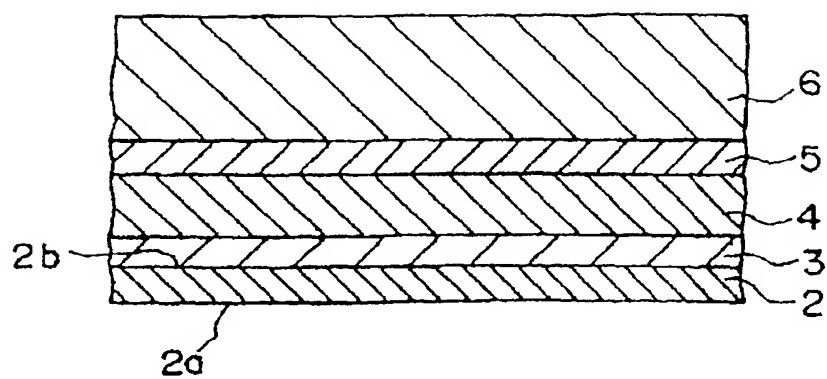


图 7

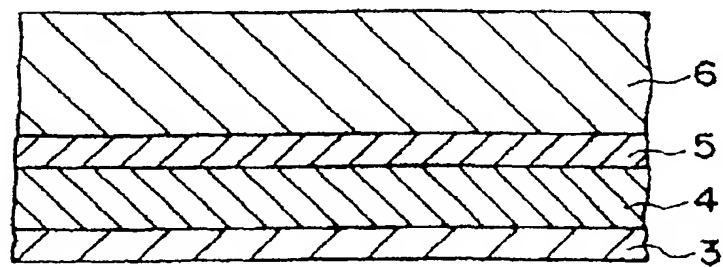


图 8

991102

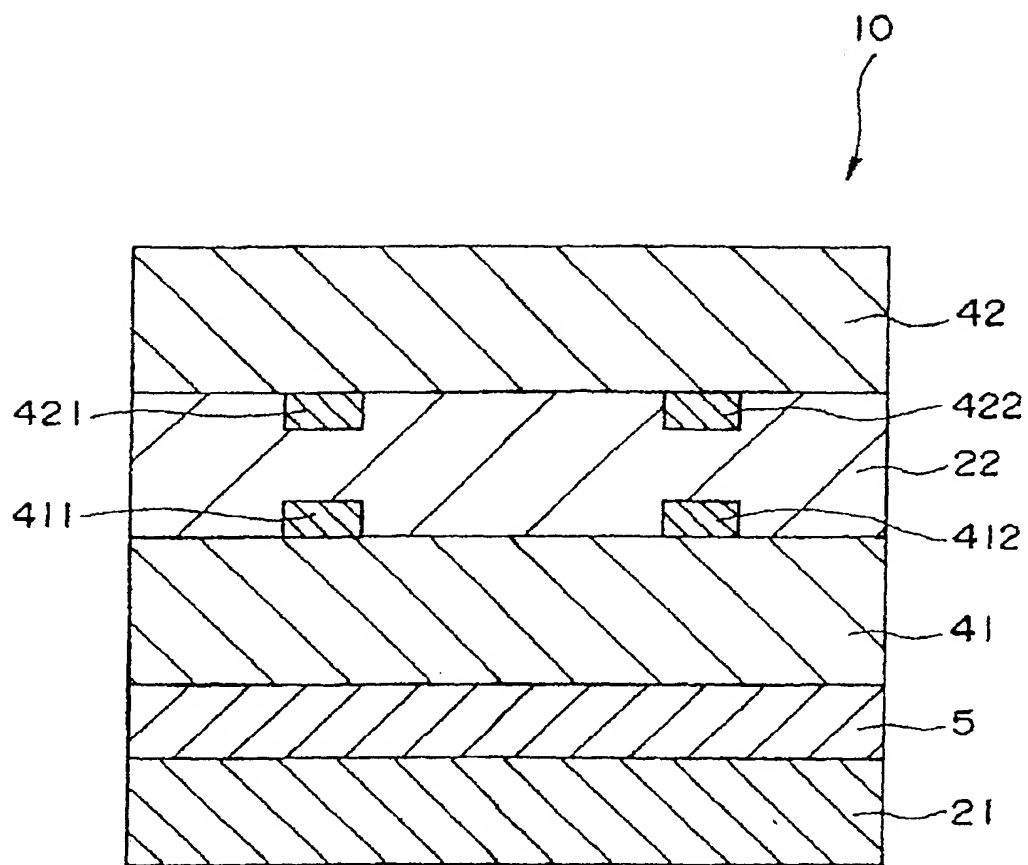


图 9

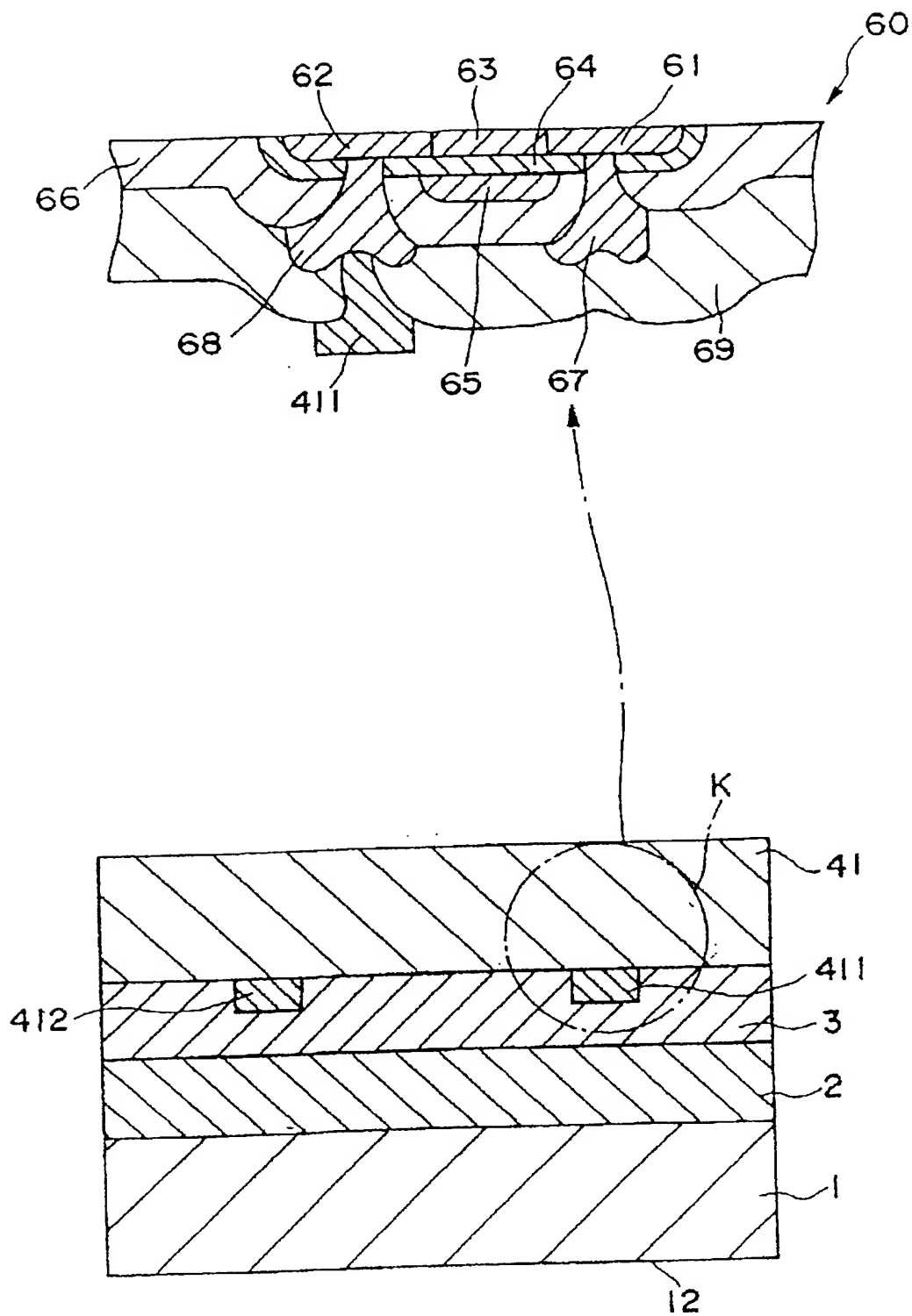


图 10

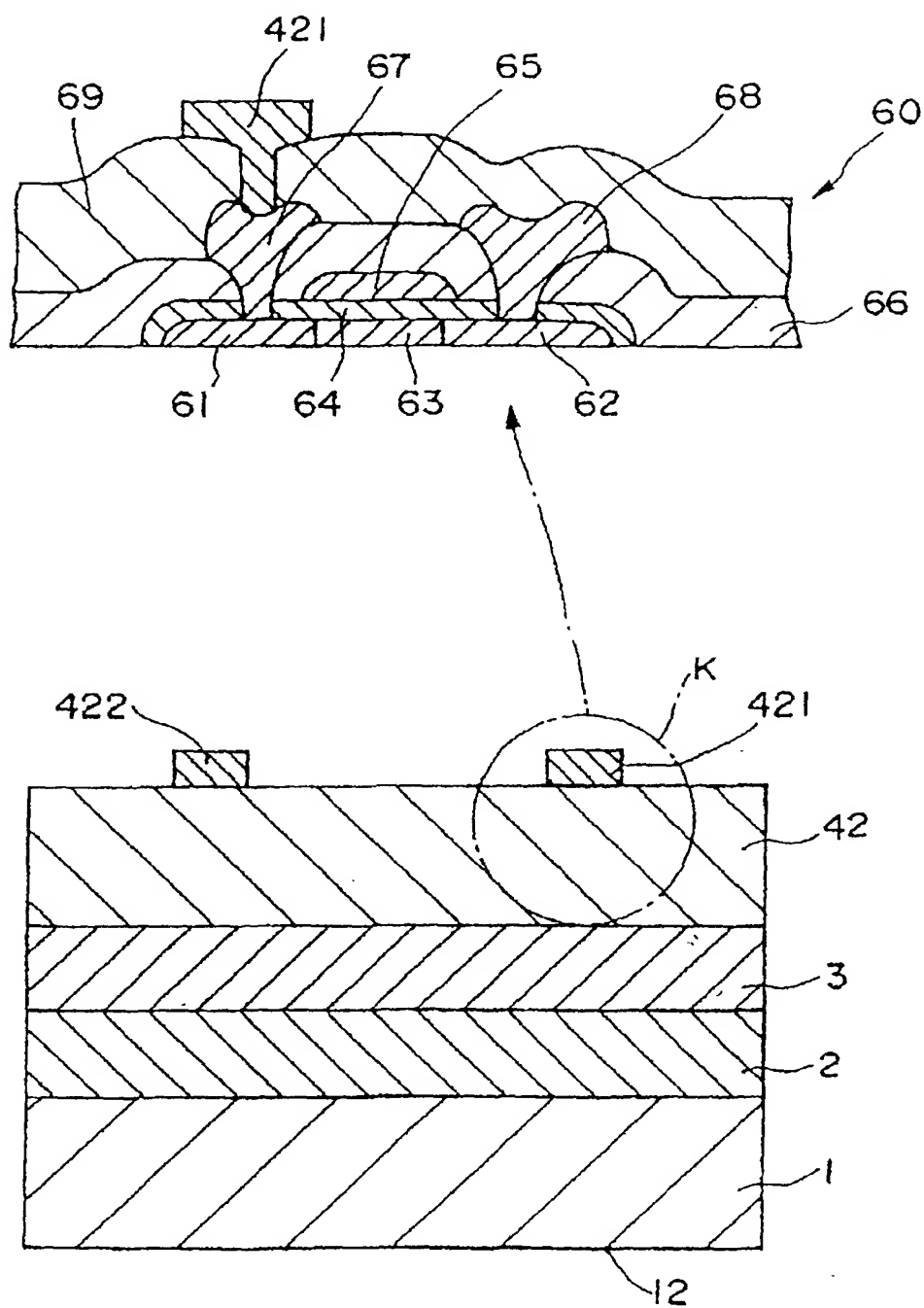


图 11

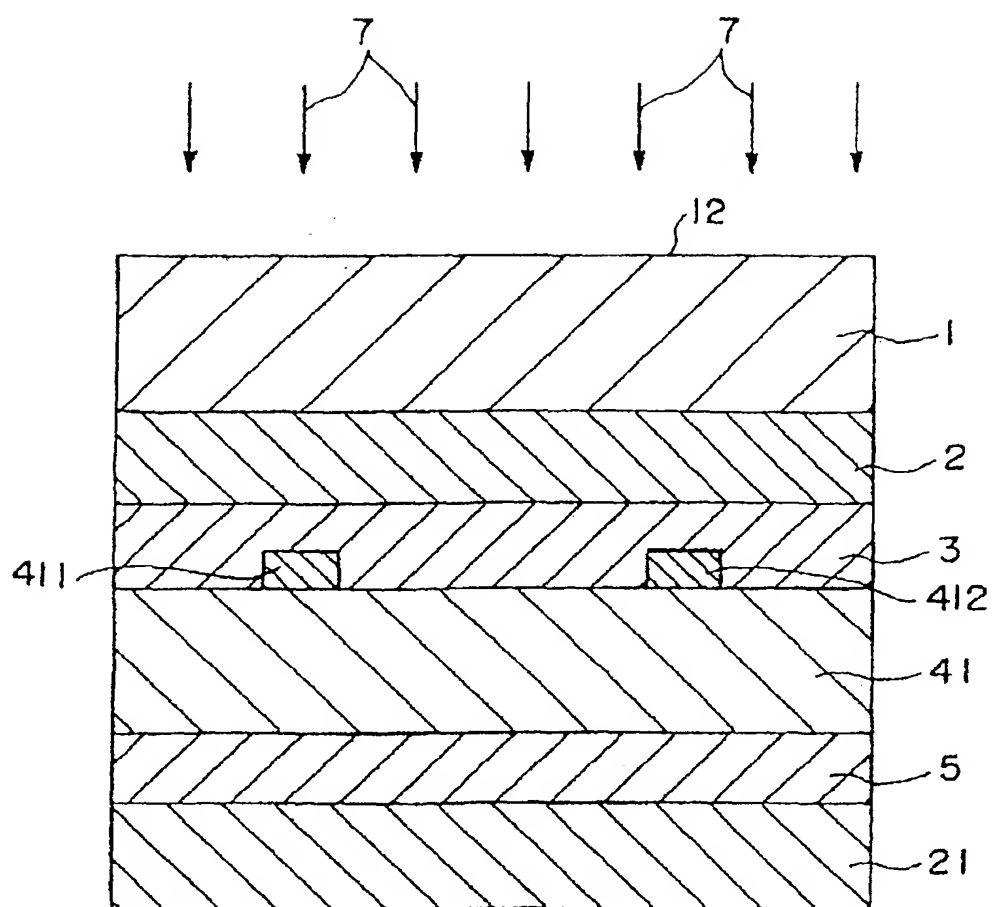


图 12

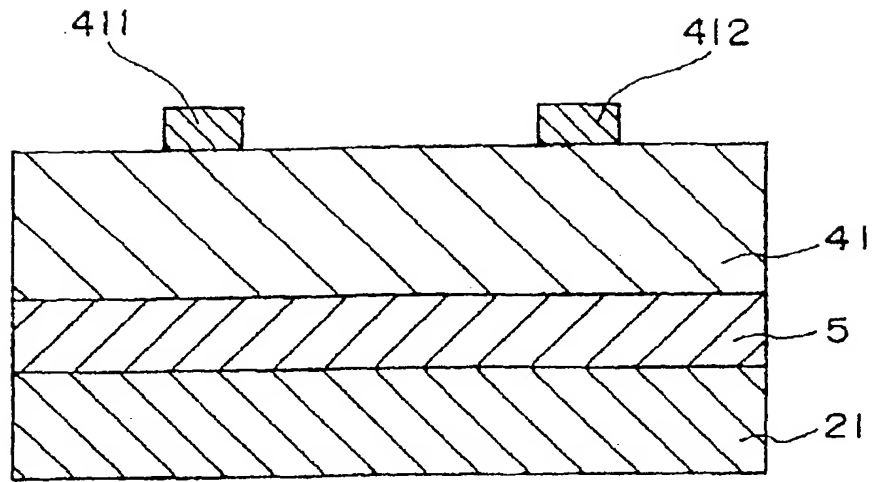


图 13

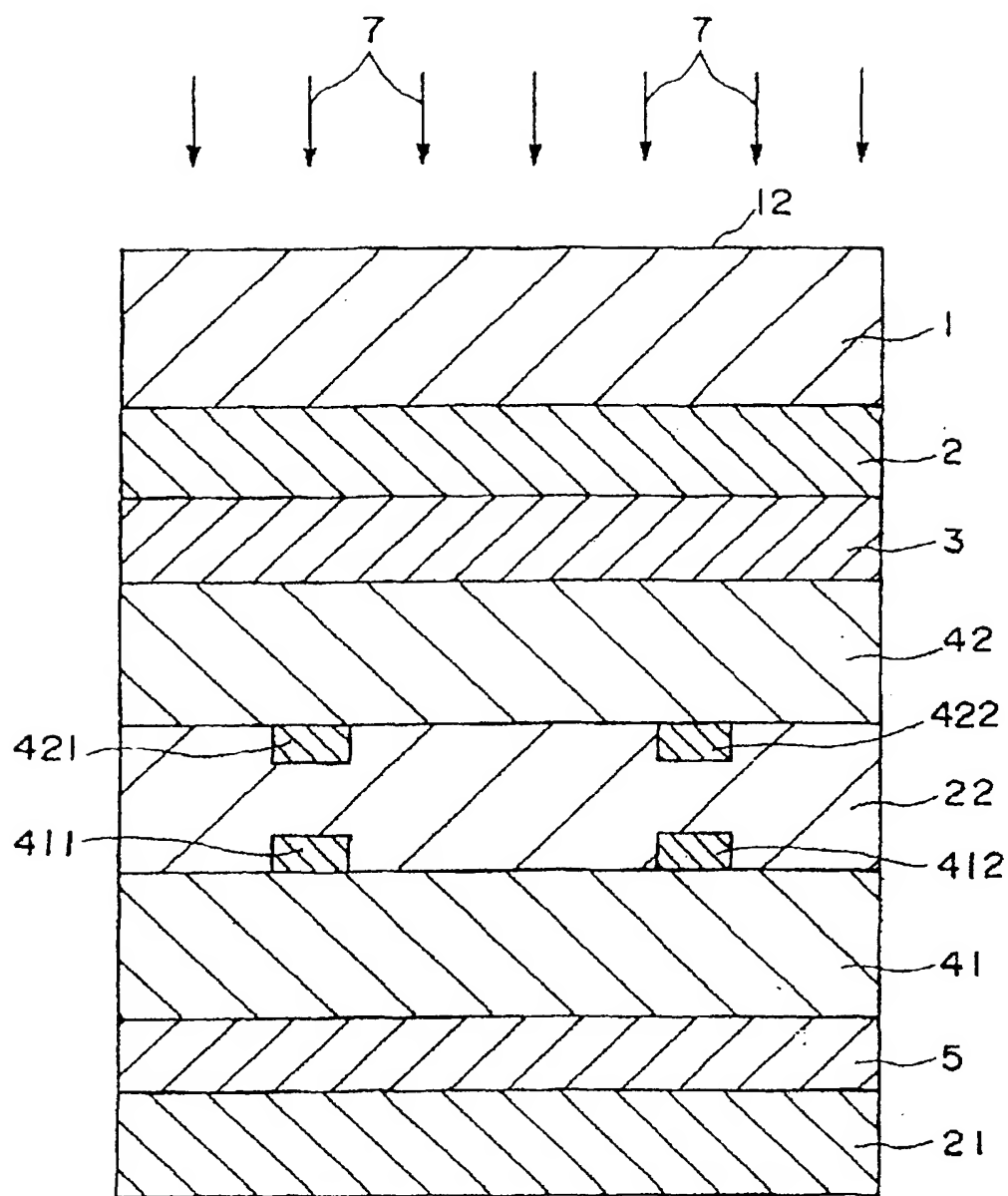


图 14

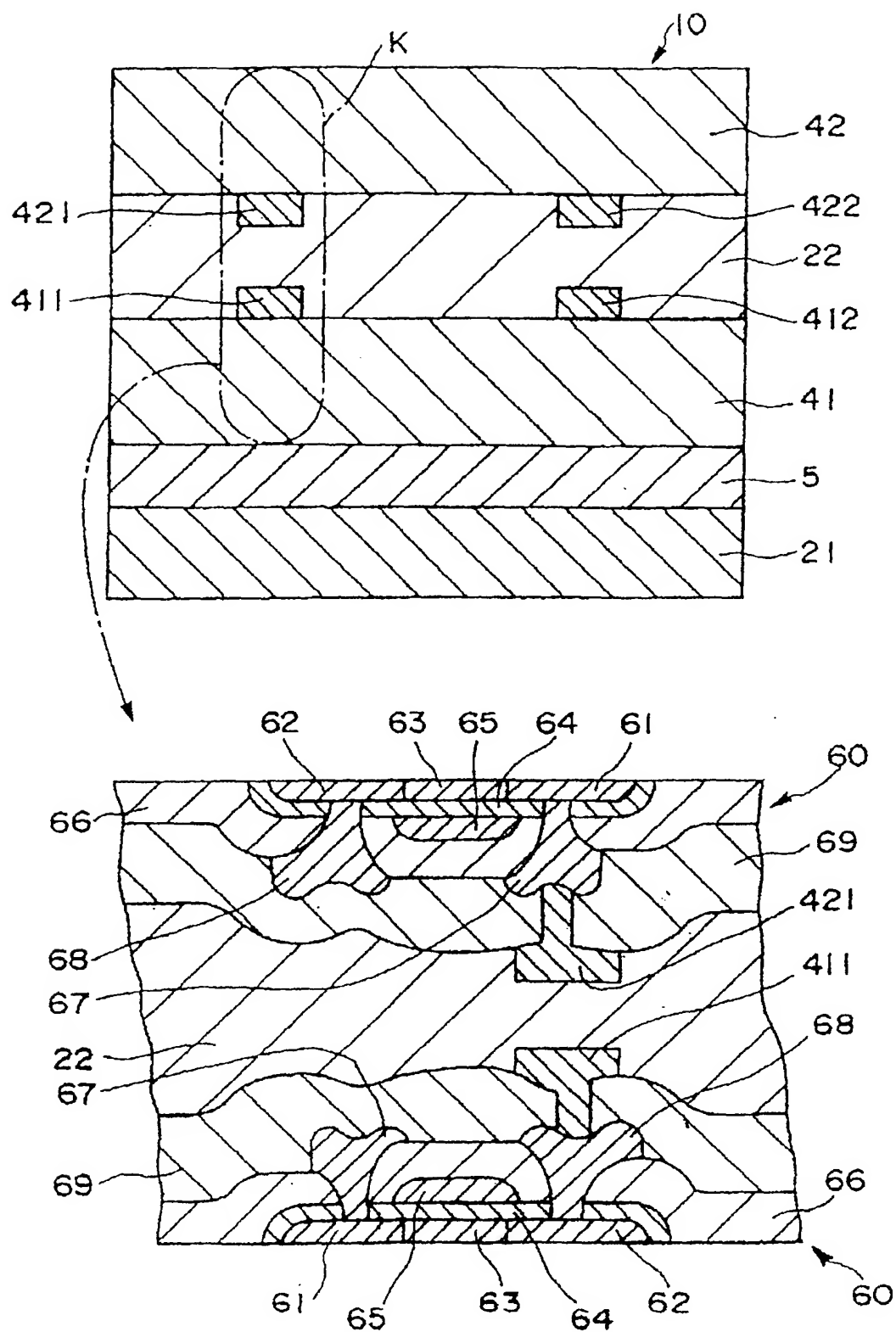


图 15

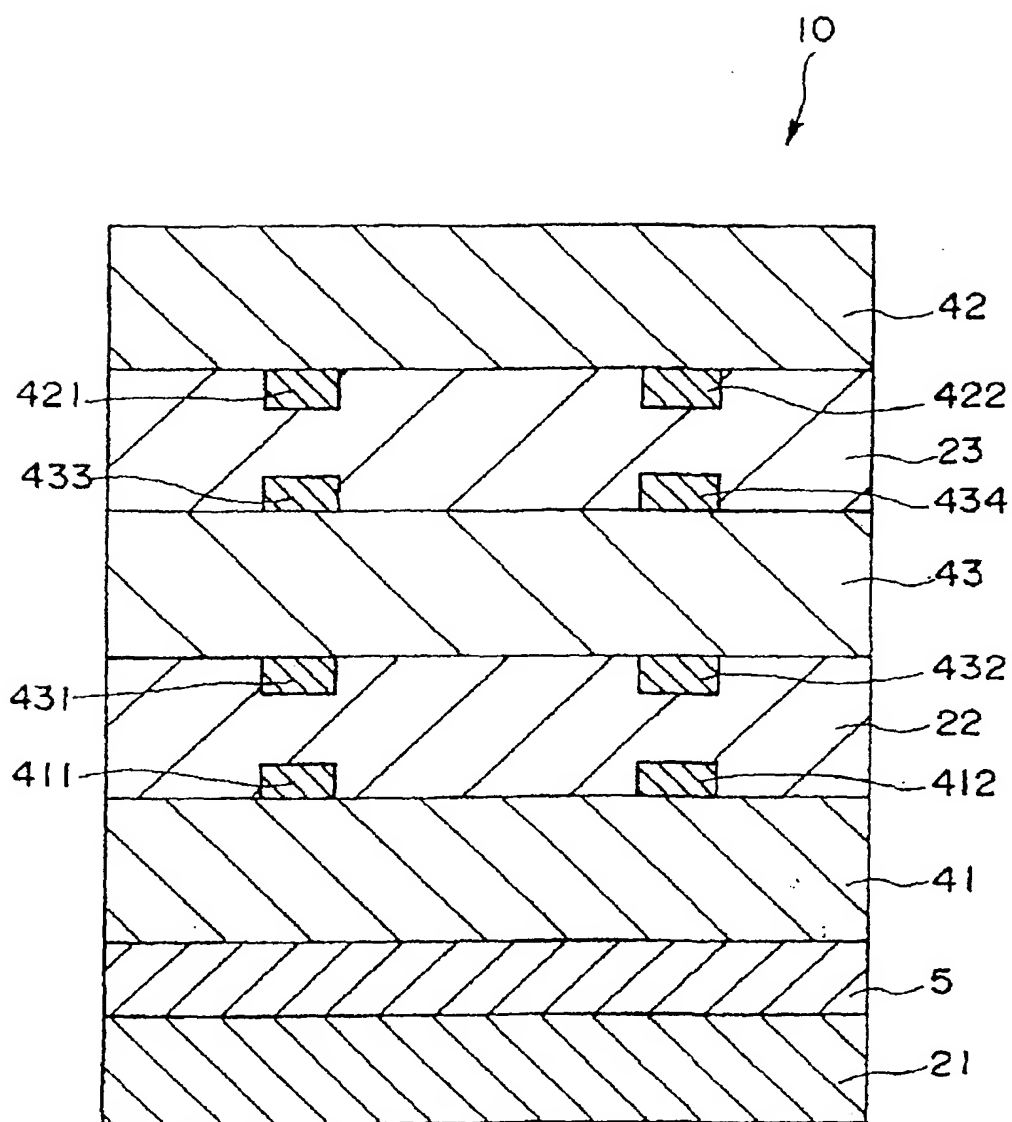


图 16

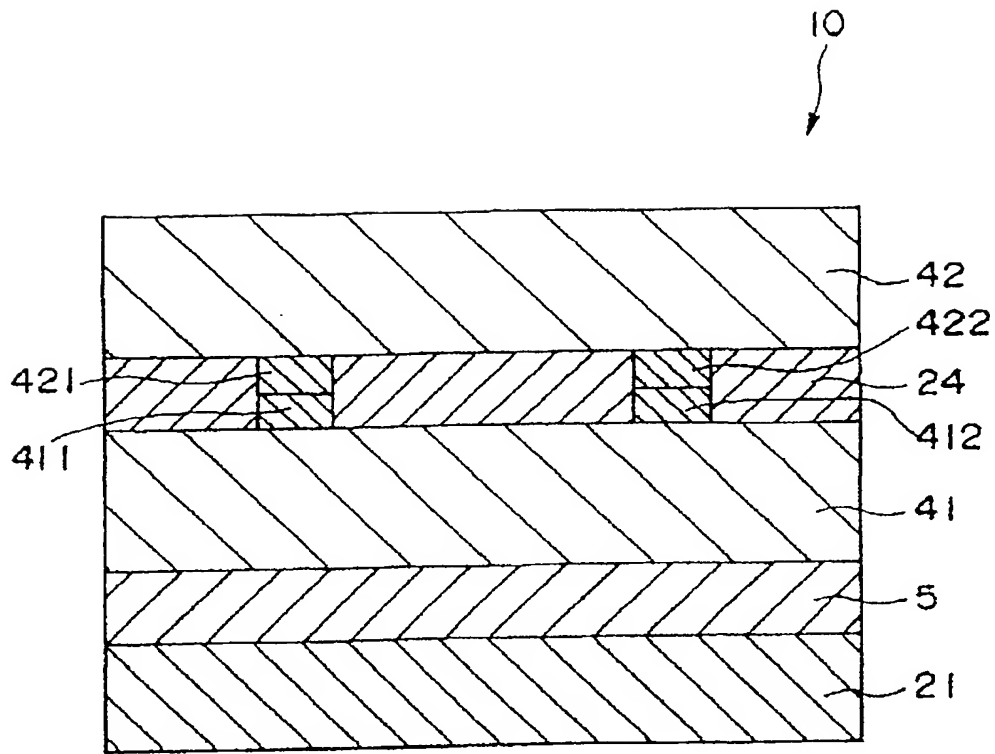


图 17

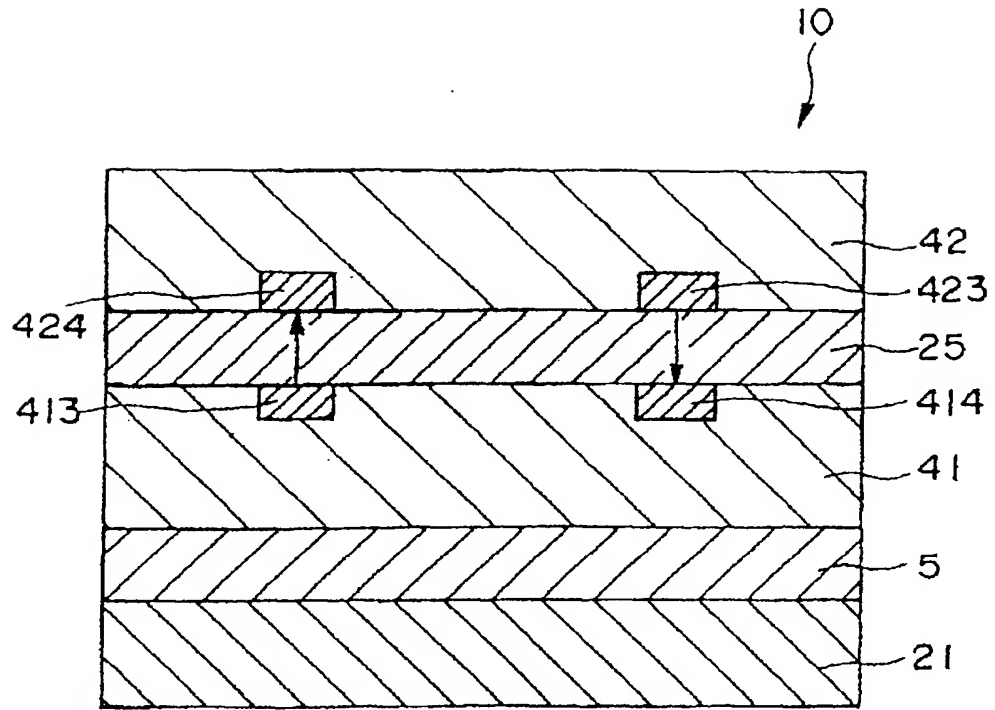


图 18

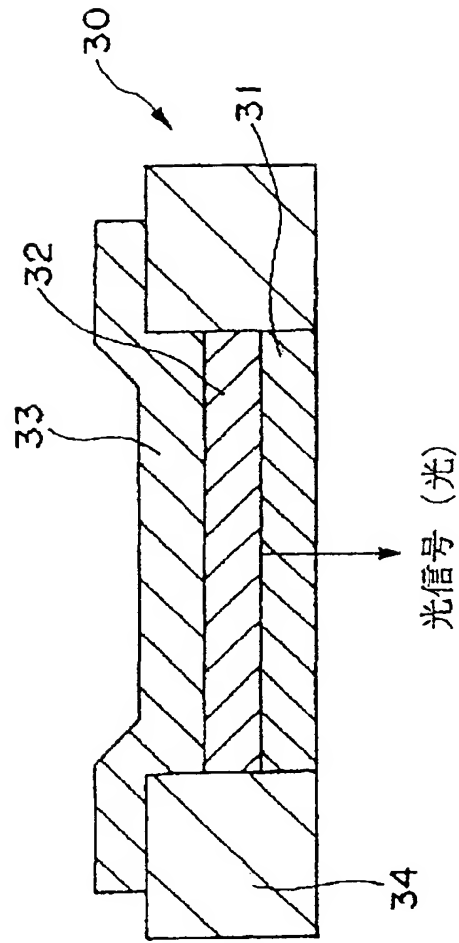


图 19

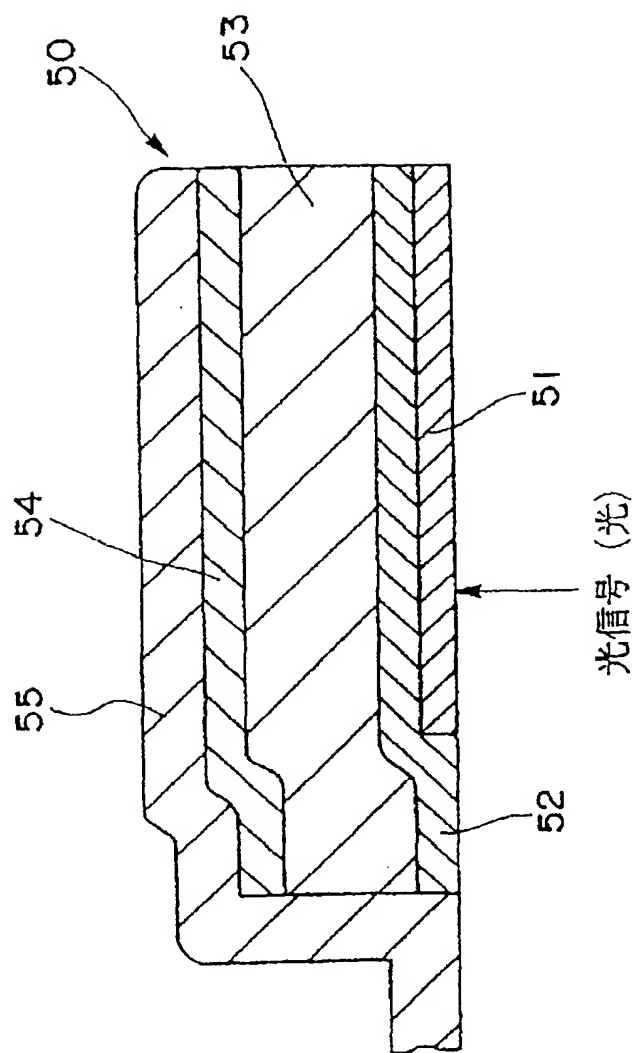


图 20

10.11.03

10a

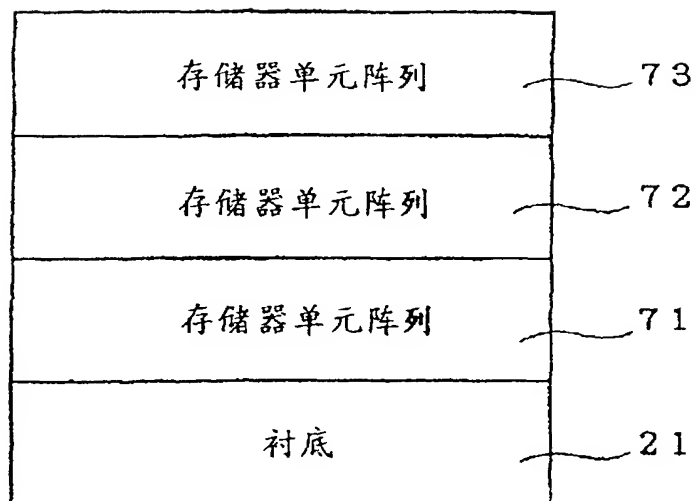


图 21

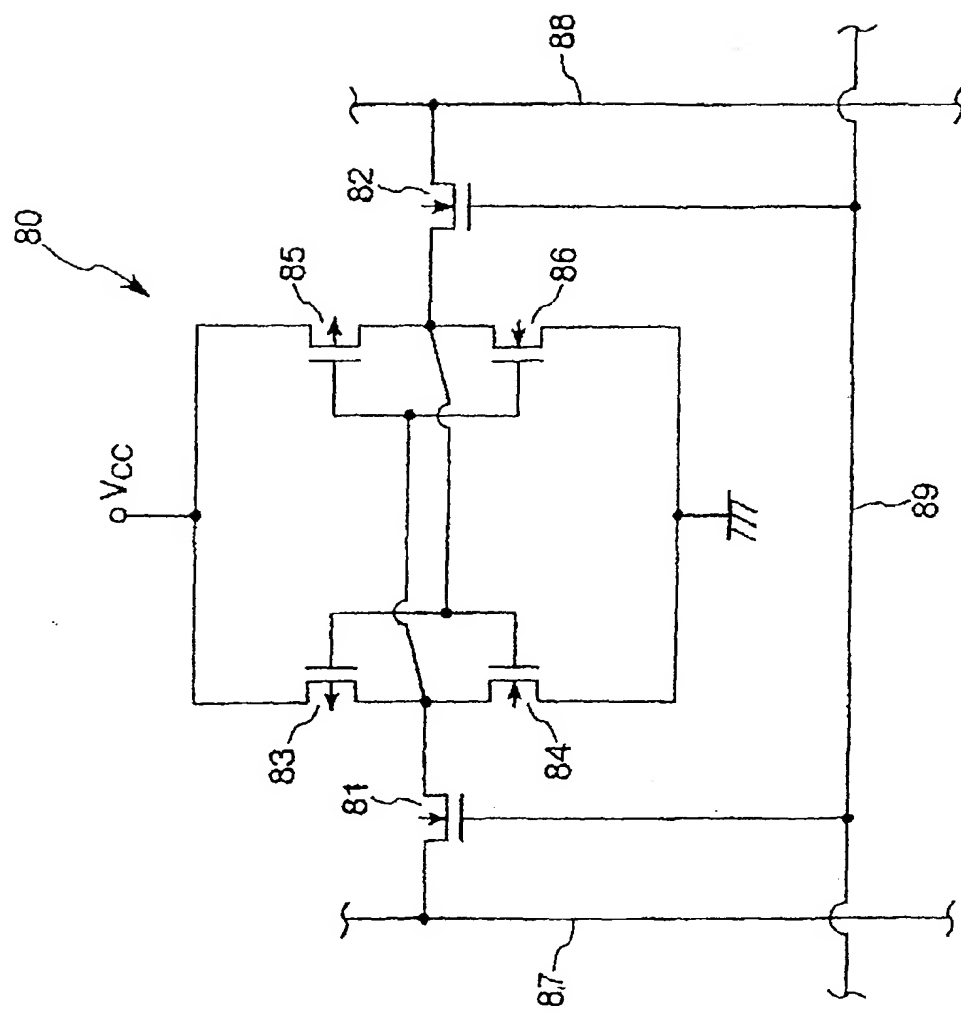


图 22

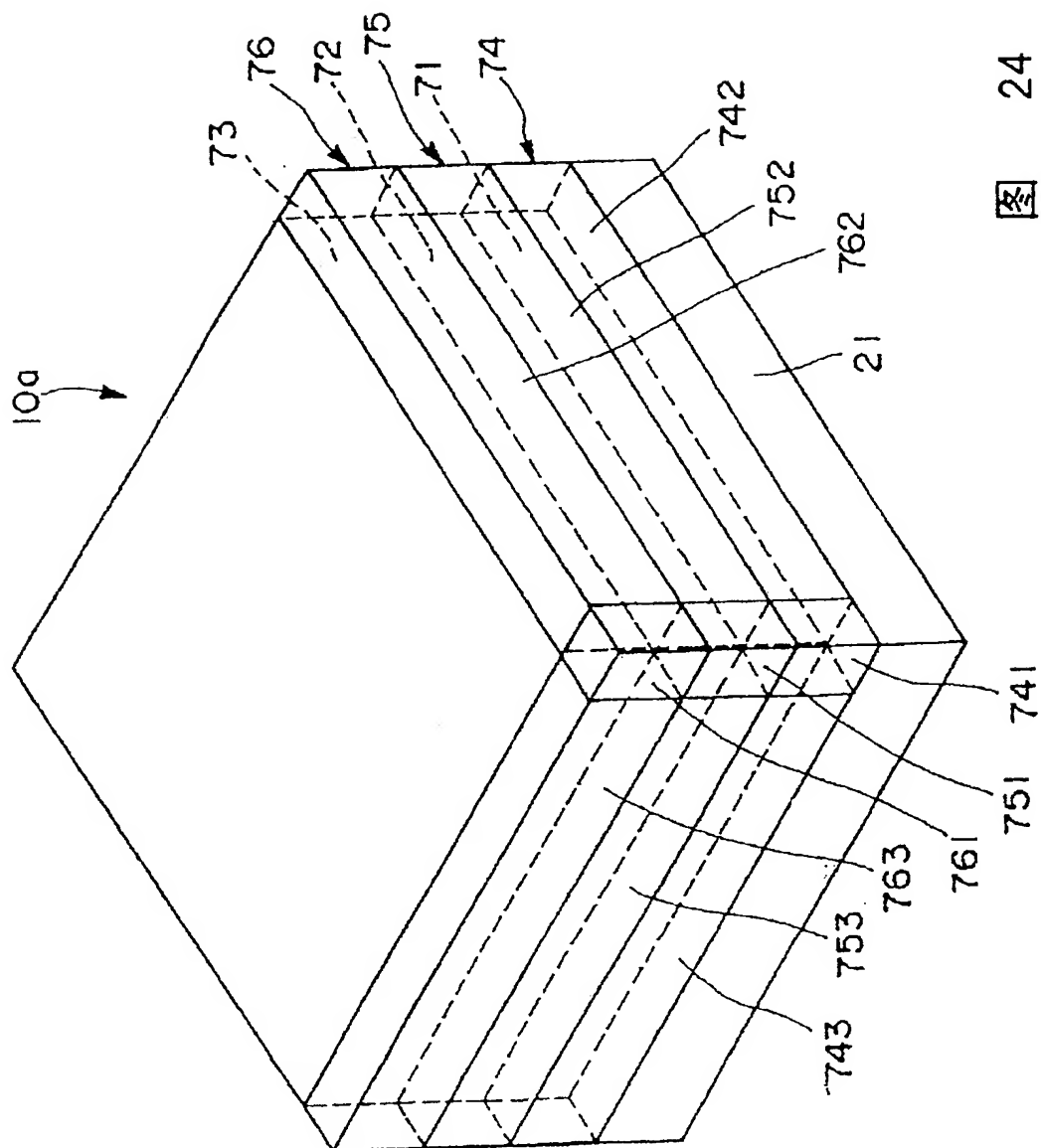


图 24

10b

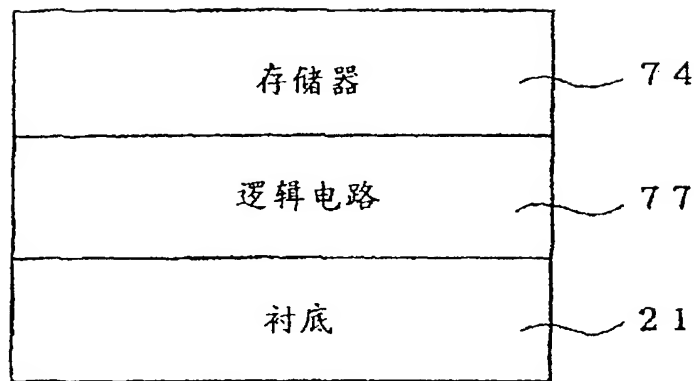


图 25

0001-00

10b

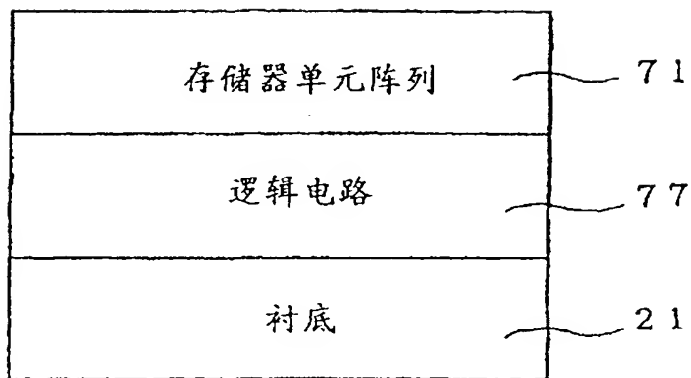


图 26

951102

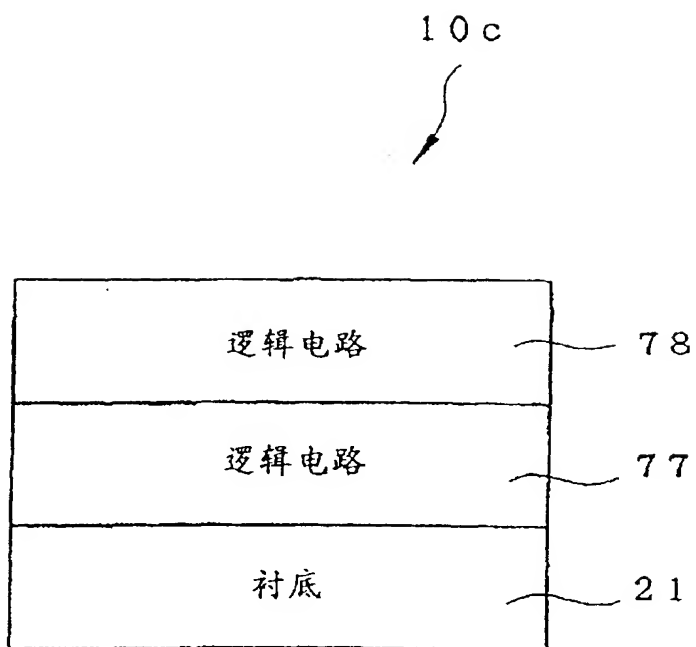


图 27